PROLOGICA
microcomputadores

COORDENADORIA DE TREINAMENTO
E DOCUMENTAÇÃO

MANUAL TÉCNICO CP 200

TÍTULO	PÁGINA
Manual Técnico CP 200	
SUB-TÍTULO	DATA

PROLOGICA
microcomputadores

INDÍCE

1 - Introdução ..... pag. 00

2 - Diagrama de Blocos do CP 200 ..... pag. 02

3 - Descrição dos CI's Utilizados ..... pag. 05

4 - Memórias Ram e Eprom ..... pag. 34

5 - Geração do Clock ..... pag. 43

6 - Bip ..... pag. 45

7 - Contrôle de Vídeo ..... pag. 47

8 - Interface para Cassete ..... pag. 58

9 - Teclado ..... pag. 60

10 - Bus de I/O ..... pag. 62

11 - Fonte de Alimentação ..... pag. 65

12 - Manutenção ..... pag. 67

13 - Listagem de Componentes ..... pag. 75

14 - Detalhes de Montagem ..... pag. 84

INTRODUÇÃO

O manual técnico CP 200 tem como objetivo, instruir de uma maneira mais resumida e simplificada, o funcionamento interno do computador pessoal CP 200, e a partir de uma base teórica, transmitir ao técnico uma noção de como inicializar uma reparação conscientizada.

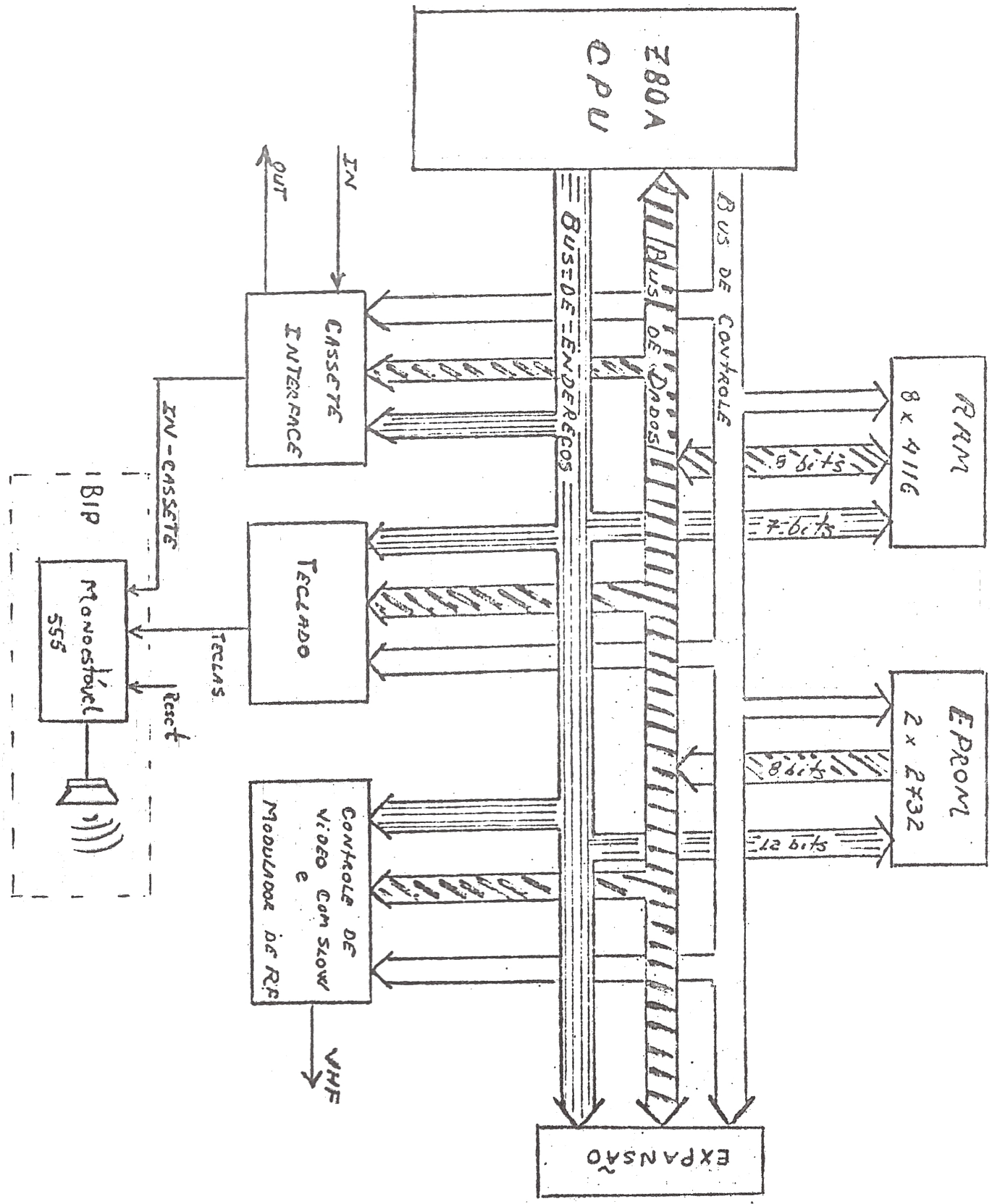
Serão abordados alguns conceitos teóricos, como: seleção e endereçamento de memórias internas (RAM e EPROM), o contrôle de vídeo e as velocidades de operação (Fast e Slow), interface para o conjunto cassete, fonte de alimentação, bip, e outros.

Para o acompanhamento da leitura deste manual, é essencial a presença constante dos esquemas em anexos (elétricos e topológicos - placa spock), visando desta maneira, tornar o manual de um modo mais agradável quanto à leitura, visto que, serão somente citados os componentes da placa, conforme a posição disposta no esquema topológico. O manual apresenta também, uma descrição dos circuitos integrados utilizados, sendo que, o leitor, deverá utilizá-lo nos momentos das citações presentes nas abordagens teóricas.

Caso requeira algumas instruções de como inicializar uma reparação, pode-se consultar o capítulo denominado manutenção.

DIAGRAMA
DE
BLOCOS

Diagram de Blocos do CP 200 representativo das placas spock e PTL - 05.



CPU - O CP 200 utiliza como microprocessador a CPU - Z80A, a qual controla e processa todos os sinais de entrada e saída (vide descrições dos CI's utilizados).

Memórias RAM - Utiliza 8 memórias dinâmicas RAM (4116) associadas em paralelo para a formação de 8 bits de dados, com capacidade para 16Kb onde são guardados os programas e os dados.

Memórias EPROM - Utiliza duas EPROM's 2732, onde está contido o sistema operacional e o interpretador BASIC.

Expansão - Para futuras expansões, o CP 200 é provido de um conector onde esta presente o bus I/O, ou seja, os sinais de contrôle, dados e endereços.

Bip - É formado por um monoestável (CI linear 555) controlado pelo teclado ou através de uma operação de cassete-in e um transdutor sonoro.

Teclado - É constituído de 43 teclas plásticas de contatos do tipo borracha condutora. São montadas em um perfil de ferro que traz impresso as funções de cada tecla.

Contrôle de Vídeo e Modulador de RF - O bloco controlador de vídeo, ou seja, responsável pela formação do sinal composto de vídeo (sinal de vídeo + sincronismo), é composto por um Shift Register e um multiplex que aplicará o sinal composto de vídeo ao modulador de RF. Este modulador, permite que o CP 200 seja acoplado a qualquer televisor, branco e preto ou a côres, para tornar a imagem mais nítida. *

Interface para Cassete - Responsável pela gravação e leitura de dados para o cassete.

* Quanto a velocidade, o modo slow é quatro vezes mais lento que o modo fast.

DESCRIÇÃO DOS CIRCUITOS INTEGRADOS UTILIZADOS

Todos os CI's utilizados estão descritos nesta parte, no que se refere a descrição dos pinos, pinagem, diagrama de blocos, esquema elétrico, carta de tempo e especificações.

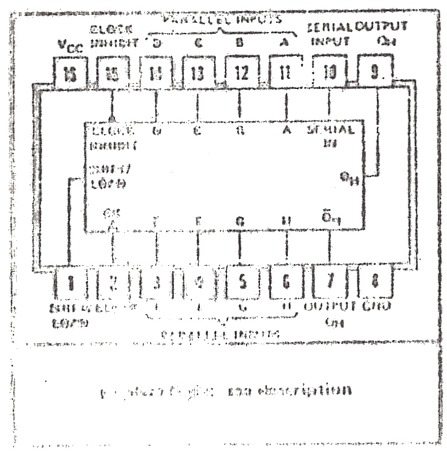
Obs: Os CI's da Texas Instruments Incorporated, são todos do tipo LS (vide Listagem de Componentes).

SN 74 LS 165 - SHIFT REGISTER PARALELO DE 8 BITS.

- Complementary Outputs
- Direct Overriding Load (Data) Inputs
- Gated Clock Inputs
- Parallel-to-Serial Data Conversion

TYPE	TYPICAL MAXIMUM CLOCK FREQUENCY	TYPICAL POWER DISSIPATION
'165	26 MHz	210 mW
'LS165	35 MHz	105 mW

SN54165, SN54LS165 . . . J OR W PACKAGE
SN74165, SN74LS165 . . . J OR N PACKAGE
(TOP VIEW)



description

The '165 and 'LS165 are 8-bit serial shift registers that shift the data in the direction of Q_A toward Q_H when clocked. Parallel-in access to each stage is made available by eight individual direct data inputs that are enabled by a low level at the shift/load input. These registers also feature gated clock inputs and complementary outputs from the eighth bit. All inputs are diode-clamped to minimize transmission-line effects, thereby simplifying system design.

Clocking is accomplished through a 2-input positive-NOR gate, permitting one input to be used as a clock-inhibit function. Holding either of the clock inputs high inhibits clocking and holding either clock input low with the shift/load input high enables the other clock input. The clock-inhibit input should be changed to the high level only while the clock input is high. Parallel loading is inhibited as long as the shift/load input is high. Data at the parallel inputs are loaded directly into the register on a high-to-low transition of the shift/load input independently of the levels of the clock, clock inhibit, or serial inputs.

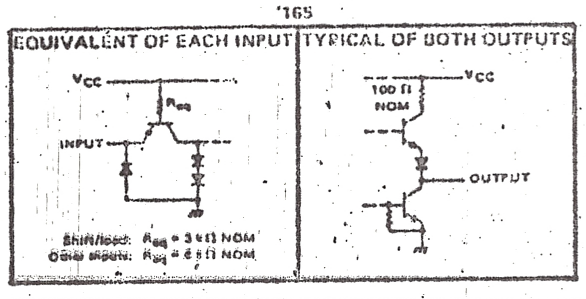
FUNCTION TABLE

INPUTS					INTERNAL OUTPUTS		OUTPUT
SHIFT/ LOAD	CLOCK INHIBIT	CLOCK	SERIAL	PARALLEL A . . . H	Q_A	Q_B	Q_H
L	X	X	X	a . . . h	a	b	h
H	L	L	X	X	Q_{A0}	Q_{B0}	Q_{H0}
H	L	↑	H	X	H	Q_{An}	Q_{Gn}
H	L	↑	L	X	L	Q_{An}	Q_{Gn}
H	H	X	X	X	Q_{A0}	Q_{B0}	Q_{H0}

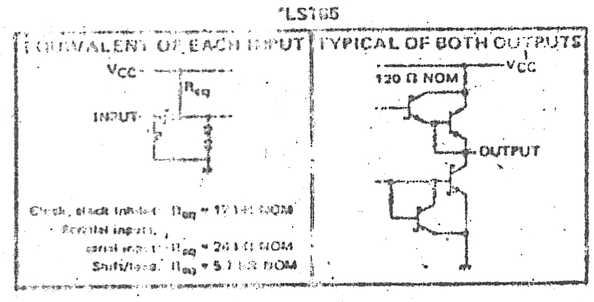
See explanation of function tables on page 3-8.

schematic of inputs and output

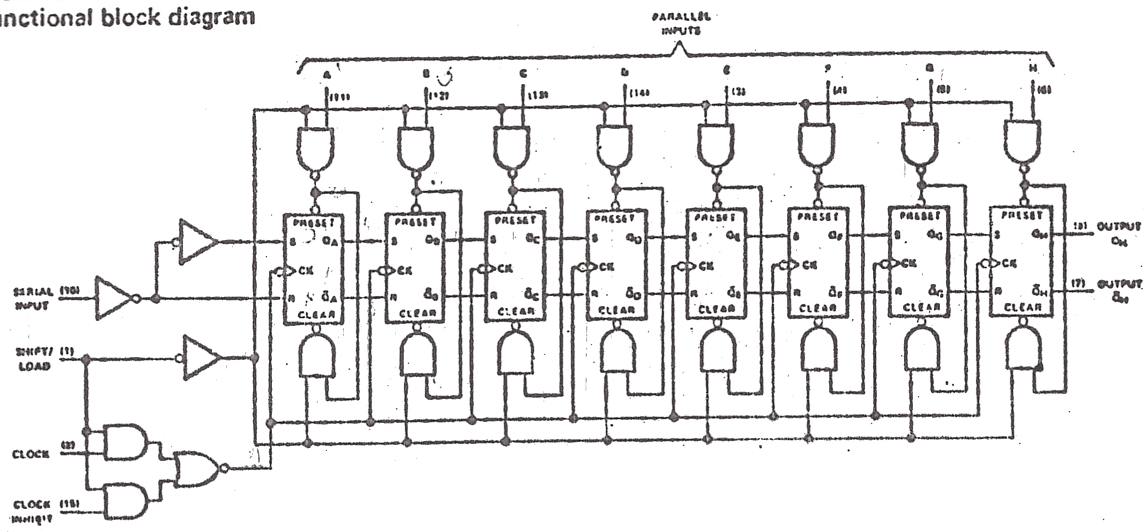
'165



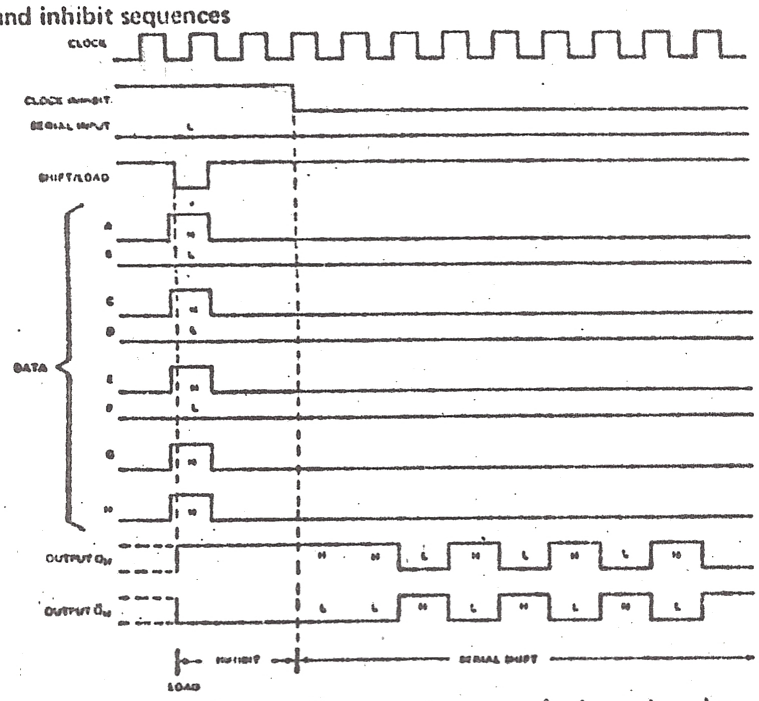
'LS165



functional block diagram



typical shift, load, and inhibit sequences



absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, V_{CC} (see Note 1)	7 V
Input voltage: SN54165, SN74165	5.5 V
SN54LS165, SN74LS165	7 V
Interemitter voltage (see Note 2)	5.5 V
Operating free-air temperature range: SN54165, SN54LS165	−55°C to 125°C
SN74165, SN74LS165	0°C to 70°C
Storage temperature range	−65°C to 150°C

NOTES: 1. Voltage values, except interemitter voltage, are with respect to network ground terminal.
2. This is the voltage between two emitters of a multiple-emitter transistor. This rating applies for the '165 to the shift/load input in conjunction with the clock-inhibit inputs.

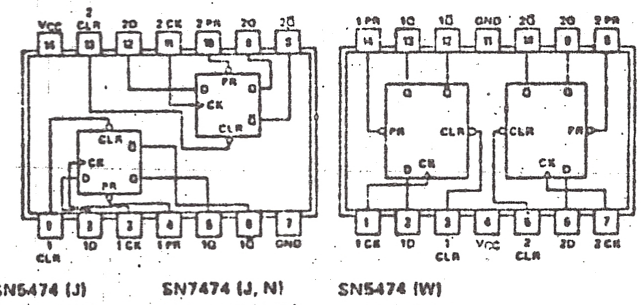
SN 74 LS 74 - Dois Flip-flops do tipo D com preset e clear

DUAL D-TYPE POSITIVE-EDGE-TRIGGERED FLIP-FLOPS WITH PRESET AND CLEAR

74

FUNCTION TABLE

INPUTS				OUTPUTS	
PRESET	CLEAR	CLOCK	D	Q	$\bar{Q}$
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H*	H*
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	Q_0	$\bar{Q}_0$



SN5474 (J)
SN54H74 (J)
SN54L74 (J)
SN54LS74A (J, W)
SN54S74 (J, W)

SN7474 (J, N)
SN74H74 (J, N)
SN74L74 (J, N)
SN74LS74A (J, N)
SN74S74 (J, N)

SN5474 (W)
SN54H74 (W)
SN54L74 (T)

See pages 6-46, 6-50, 6-54, and 6-56

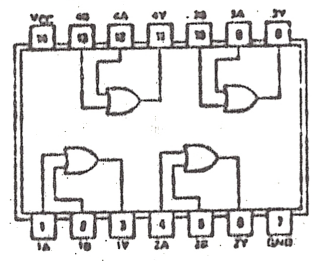
SN 74 LS 32 - Quatro portas or de duas entradas

QUADRUPLE 2-INPUT POSITIVE-OR GATES

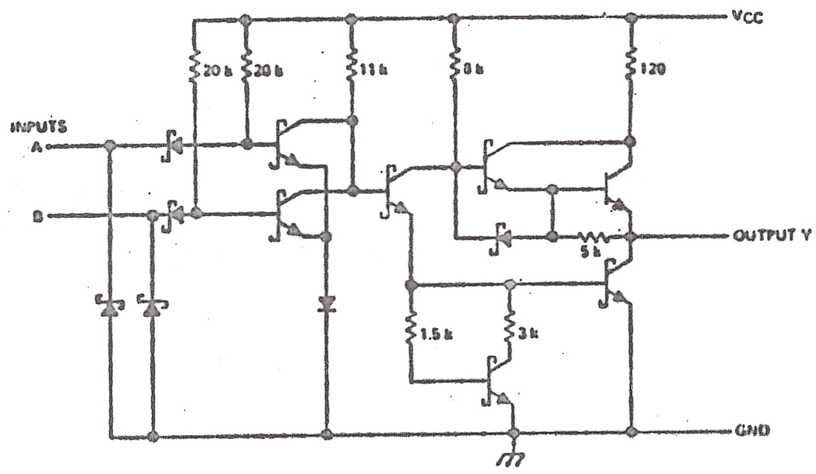
32

positive logic:
Y = A+B

See page 6-28



SN5432 (J, W) SN7432 (J, N)
SN54LS32 (J, W) SN74LS32 (J, N)
SN54S32 (J, W) SN74S32 (J, N)



'LS32 CIRCUITS

Resistor values shown are nominal and in ohms.

ommended operating conditions

	54 FAMILY / 74 FAMILY	SERIES 54 / SERIES 74 '32 MIN	NOM	MAX	SERIES 54LS / SERIES 74LS 'LS32 MIN	NOM	MAX	SERIES 54S / SERIES 74S 'S32 MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}	54 Family	4.5	5	5.5	4.5	5	5.5	4.5	5	5.25	V
	74 Family	4.75	5	5.25	4.75	5	5.25	4.75	5	5.25	
High-level output current, I_{OH}				−800			−400			−1000	μA
Low-level output current, I_{OL}	54 Family			16			4			20	mA
	74 Family			16			8			20	
Operating free-air temperature, T_A	54 Family	−55		125	−55		125	−55		125	°C
	74 Family	0		70	0		70	0		70	

electrical characteristics over recommended free-air temperature range (unless otherwise noted)

PARAMETER		TEST FIGURE	TEST CONDITIONS†			SERIES 54 / SERIES 74 '32 MIN	TYP‡	MAX	SERIES 54LS / SERIES 74LS 'LS32 MIN	TYP‡	MAX	SERIES 54S / SERIES 74S 'S32 MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage	1, 2				2			2			2			V
V_{IL}	Low-level input voltage	1, 2			54 Family			0.8			0.7			0.8	V
					74 Family			0.8			0.8			0.8	
V_{IK}	Input clamp voltage	3	V_{CC} = MIN, I_I = I_K					−1.5			−1.5			−1.2	V
V_{OH}	High-level output voltage	1	V_{CC} = MIN, V_{IH} = 2 V, I_{OH} = MAX		54 Family	2.4	3.4		2.5	3.4		2.5	3.4		V
					74 Family	2.4	3.4		2.7	3.4		2.7	3.4		
V_{OL}	Low-level output voltage	2	V_{CC} = MIN, V_{IL} = V_{IL} max	I_{OL} = MAX	54 Family		0.2	0.4		0.25	0.4			0.5	V
					74 Family		0.2	0.4		0.35	0.5			0.5	
				I_{OL} = 4 mA	Series 74LS					0.25	0.4				
I_I	Input current at maximum input voltage	4	V_{CC} = MAX		V_I = 5.5 V			1						1	mA
					V_I = 7 V						0.1				
I_{IH}	High-level input current	4	V_{CC} = MAX		V_{IH} = 2.4 V			40							μA
					V_{IH} = 2.7 V						20			50	
I_{IL}	Low-level input current	5	V_{CC} = MAX		V_{IL} = 0.4 V			−1.6			−0.4				mA
					V_{IL} = 0.5 V									−2	
I_{OS}	Short-circuit output current§	6	V_{CC} = MAX		54 Family	−20		−55	−20		−100	−40		−100	mA
					74 Family	−18		−55	−20		−100	−40		−100	
I_{CC}	Supply current	Total, outputs high	7	V_{CC} = MAX			15	22		3.1	6.2		18	32	mA
		Total, outputs low					23	38		4.9	9.8		38	68	
		Average per gate		V_{CC} = 5 V,	50% duty cycle		4.75			1.0			7		

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡ All typical values are at V_{CC} = 5 V, T_A = 25°C.
§ I_I = −12 mA for SN54'/SN74' and −18 mA for SN54LS'/SN74LS' and SN54S'/SN74S'.
¶ Not more than one output should be shorted at a time, and for SN54LS'/SN74LS' and SN54S'/SN74S', duration of the short-circuit should be less than one second.

SN 74 LS 157 - Quatro multiplexers 2 para 1 e uma variável de Seleção.

description

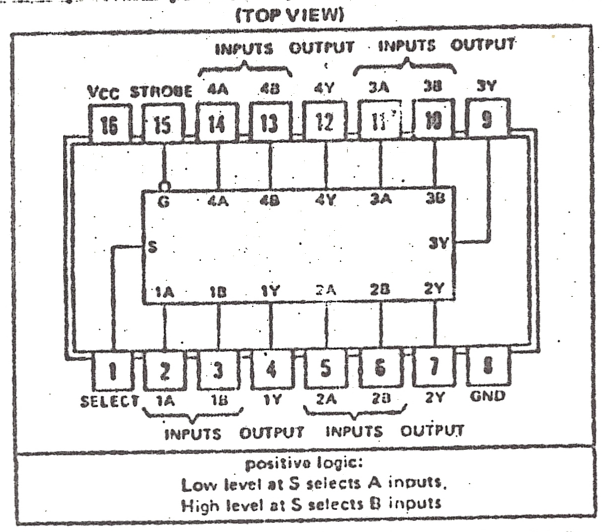
These monolithic data selectors/multiplexers contain inverters and drivers to supply full on-chip data selection to the four output gates. A separate strobe input is provided. A 4-bit word is selected from one of two sources and is routed to the four outputs. The '157, 'L157, 'LS157, and 'S157 present true data whereas the 'LS158 and 'S158 present inverted data to minimize propagation delay time.

FUNCTION TABLE

INPUTS				OUTPUT Y	
STROBE	SELECT	A	B	'157, 'L157, 'LS157, 'S157	'LS158 'S158
H	X	X	X	L	H
L	L	L	X	L	H
L	L	H	X	H	L
L	H	X	L	L	H
L	H	X	H	H	L

H = high level, L = low level, X = irrelevant

(TOP VIEW)



positive logic:
Low level at S selects A inputs,
High level at S selects B inputs

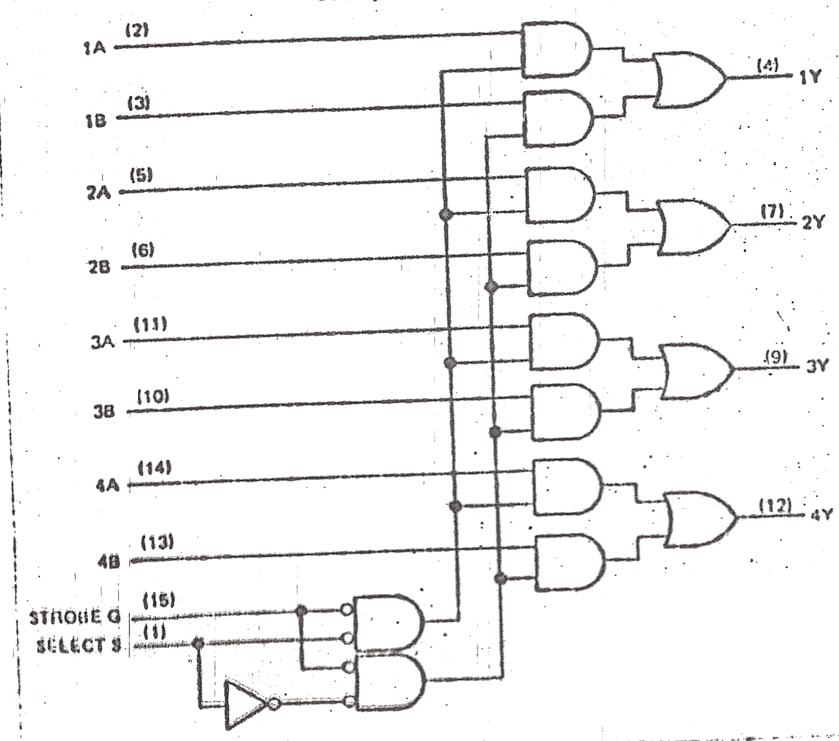
absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, V_{CC} (see Note 1) . . . . . 7 V
Input voltage: '157, 'L157, 'S158 . . . . . 5.5 V
'LS157, 'LS158 . . . . . 7 V
Operating free-air temperature range: SN54', SN54L', SN54LS', SN54S' Circuits . . . . . −55°C to 125°C
SN74', SN74L', SN74LS', SN74S' Circuits . . . . . 0°C to 70°C
Storage temperature range . . . . . −65°C to 150°C

NOTE 1: Voltage values are with respect to network ground terminal.

functional block diagrams

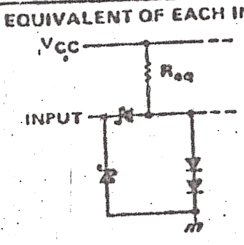
'LS157, 'S157



schematics of inputs and outputs

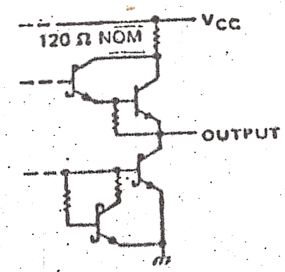
'LS157, 'LS158

EQUIVALENT OF EACH INPUT



S or G inputs: R_{eq} = 8.5 kΩ NOM
A or B inputs: R_{eq} = 17 kΩ NOM

TYPICAL OF ALL OUTPUTS

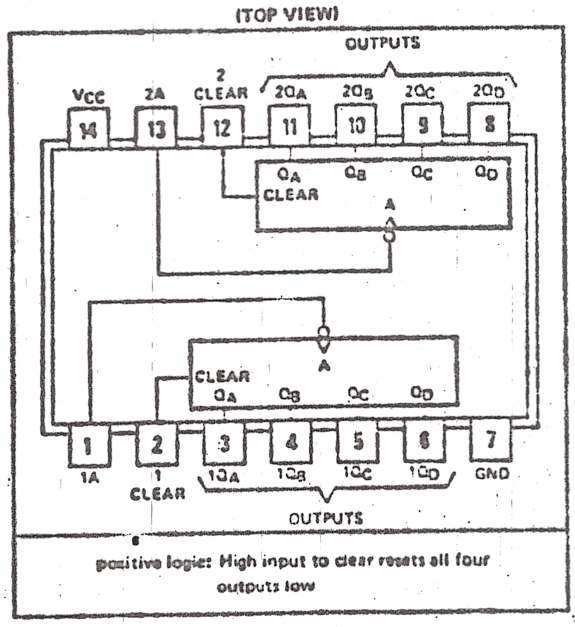


SN 74 LS 393 - Dois Contadores Binários - 4 Bits

'393, 'LS393
COUNT SEQUENCE
(EACH COUNTER)

COUNT	OUTPUT			
	Q_D	Q_C	Q_B	Q_A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H
10	H	L	H	L
11	H	L	H	H
12	H	H	L	L
13	H	H	L	H
14	H	H	H	L
15	H	H	H	H

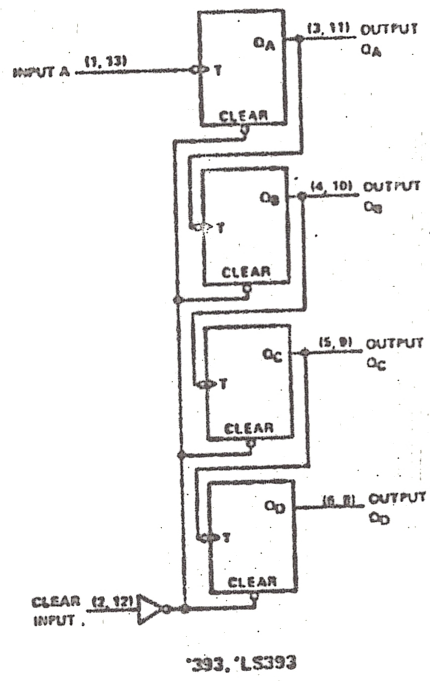
(TOP VIEW)



positive logic: High input to clear resets all four outputs low

The '393 and 'LS393 each comprise two independent four-bit binary counters each having a clear and a clock input. N-bit binary counters can be implemented with each package providing the capability of divide-by-256. The '390, 'LS390, '393, and 'LS393 have parallel outputs from each counter stage so that any submultiple of the input count frequency is available for system-timing signals.

Series 54 and Series 54LS circuits are characterized for operation over the full military temperature range of −55°C to 125°C; Series 74 and Series 74LS circuits are characterized for operation from 0°C to 70°C.



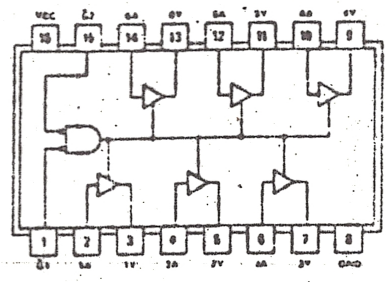
'393, 'LS393

SN 74 LS 365 - Seis drivers

HEX BUS DRIVERS

365 3-STATE OUTPUTS
NONINVERTED DATA OUTPUTS
GATED ENABLE INPUTS

See page 6-36



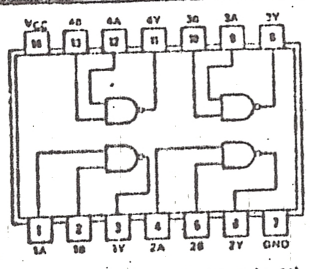
SN54365A (J, W) SN74365A (J, N)
SN54LS365A (J, W) SN74LS365A (J, N)

SN 74 LS 00 - Quatro portas Nand - duas entradas

QUADRUPLE 2-INPUT POSITIVE-NAND GATES

00

positive logic:
$Y = \overline{AB}$



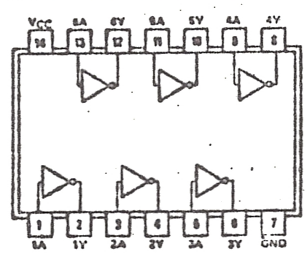
SN5400 (J) SN7400 (J, N)
SN54H00 (J) SN74H00 (J, N)
SN54L00 (J) SN74L00 (J, N)
SN54LS00 (J, W) SN74LS00 (J, N)
SN54S00 (J, W) SN74S00 (J, N)

SN 74 LS 04 - Seis inversores

HEX INVERTERS

04

positive logic:
$Y = \overline{A}$

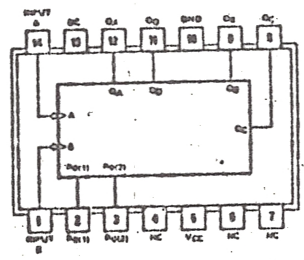


SN5404 (J) SN7404 (J, N)
SN54H04 (J) SN74H04 (J, N)
SN54L04 (J) SN74L04 (J, N)
SN54LS04 (J, W) SN74LS04 (J, N)
SN54S04 (J, W) SN74S04 (J, N)

SN 74 LS 93 -

4-BIT BINARY COUNTERS

93 DIVIDE-BY-TWO AND DIVIDE-BY-EIGHT



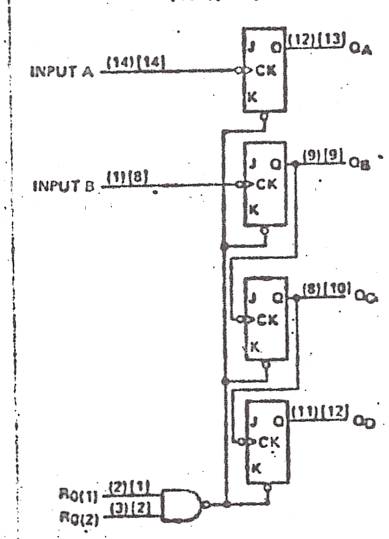
SN5493A (J, W) SN7493A (J, N)
SN54LS93 (J, W) SN74LS93 (J, N)

'92A, 'LS92, '93A, 'L93, 'LS93
RESET/COUNT FUNCTION TABLE

RESET INPUTS		OUTPUT			
$R_{0(1)}$	$R_{0(2)}$	Q_D	Q_C	Q_B	Q_A
H	H	L	L	L	L
L	X	COUNT			
X	L	COUNT			

'93A, 'L93, 'LS93

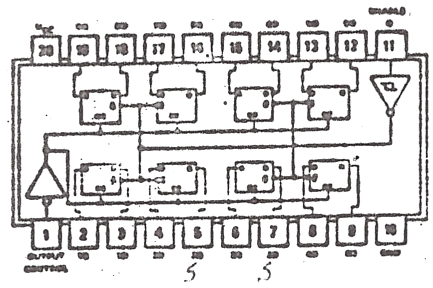
('93A) ('L93)



SN 74 LS 373 - Oito Latches do tipo "D".

OCTAL D-TYPE LATCHES

373 3-STATE OUTPUTS
COMMON OUTPUT CONTROL
COMMON ENABLE



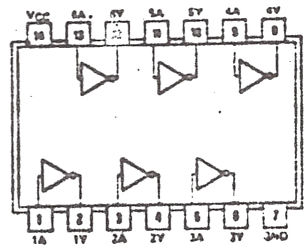
SN54LS373 (J) SN74LS373 (J, N)
SN54S373 (J) SN74S373 (J, N)

SN 74 LS 05 - Seis inversores com saídas open-collector

HEX INVERTERS
WITH OPEN-COLLECTOR OUTPUTS

05

positive logic:
$Y = \overline{A}$



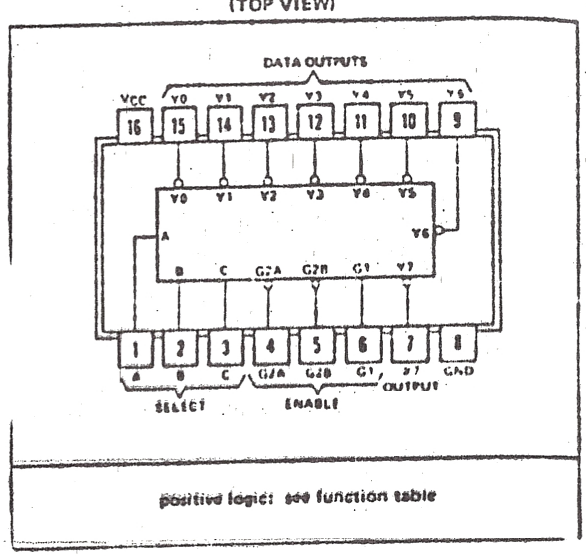
SN5405 (J) SN7405 (J, N)
SN54H05 (J) SN74H05 (J, N)
SN54LS05 (J, W) SN74LS05 (J, N)
SN54S05 (J, W) SN74S05 (J, N)

SN 74 LS 138 - Decodificador 3 para 8

'S138 and 'I S138 3-to-8-Line Decoders Incorporate 3 Enable Inputs to Simplify Cascading and/or Data Reception

TYPE	TYPICAL PROPAGATION DELAY (3 LEVELS OF LOGIC)	TYPICAL POWER DISSIPATION
'LS138	22 ns	32 mW

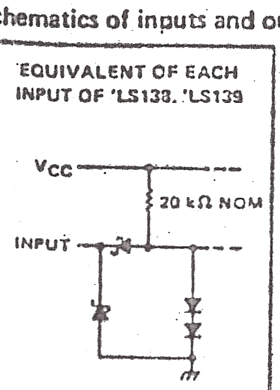
SN54LS138, SN54S138 . . . J OR W PACKAGE
SN74LS138, SN74S138 . . . J OR N PACKAGE
(TOP VIEW)



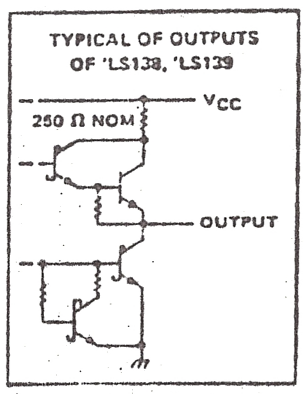
positive logic: see function table

schematics of inputs and outputs

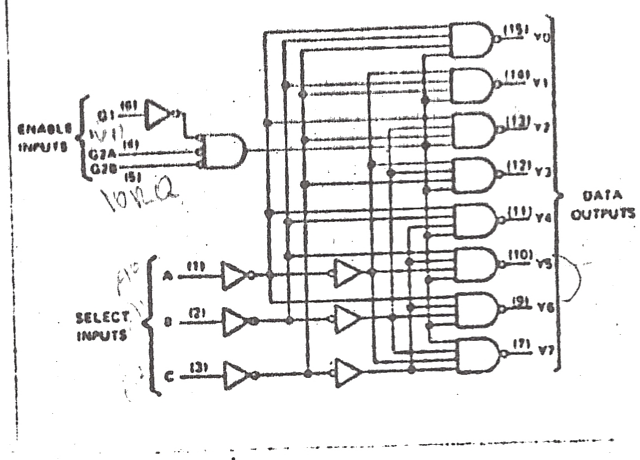
EQUIVALENT OF EACH INPUT OF 'LS138, 'LS139



TYPICAL OF OUTPUTS OF 'LS138, 'LS139



*LS138, *S138



*LS138, *S138
FUNCTION TABLE

INPUTS					OUTPUTS							
ENABLE		SELECT										
G1	G2*	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
X	H	X	X	X	H	H	H	H	H	H	H	H
L	X	X	X	X	H	H	H	H	H	H	H	H
H	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	H	L	H	H	L	H	H	H	H	H
H	L	L	H	H	H	H	H	L	H	H	H	H
H	L	H	L	L	H	H	H	H	L	H	H	H
H	L	H	L	H	H	H	H	H	H	L	H	H
H	L	H	H	L	H	H	H	H	H	H	L	H
H	L	H	H	H	H	H	H	H	H	H	H	L

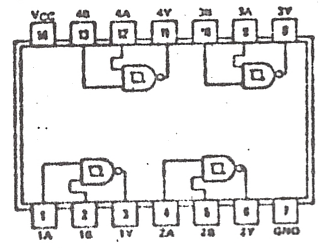
*G2 = G2A + G2B
H = high level, L = low level, X = irrelevant

SN 74 LS 132 – Quatro portas NAND com Schmitt Triggers

QUADRUPLE 2-INPUT POSITIVE-NAND SCHMITT TRIGGERS

132

positive logic:
$Y = \overline{AB}$



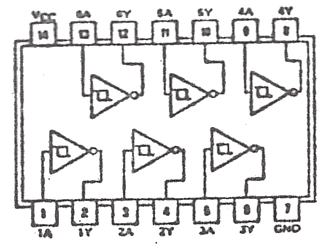
SN54132 (J, W) SN74132 (J, N)
SN54LS132 (J, W) SN74LS132 (J, N)
SN54S132 (J, W) SN74S132 (J, N)

SN 74 LS 14 – Seis inversores com Schmitt Triggers

HEX SCHMITT-TRIGGER INVERTERS

14

positive logic:
$Y = \overline{A}$



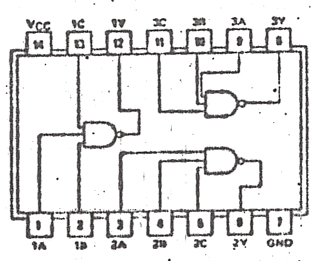
SN5414 (J, W) SN7414 (J, N)
SN54LS14 (J, W) SN74LS14 (J, N)

SN 74 LS 10 – Três portas NAND com três entradas

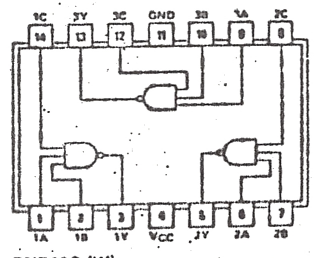
TRIPLE 3-INPUT POSITIVE-NAND GATES

10

positive logic:
$Y = \overline{ABC}$

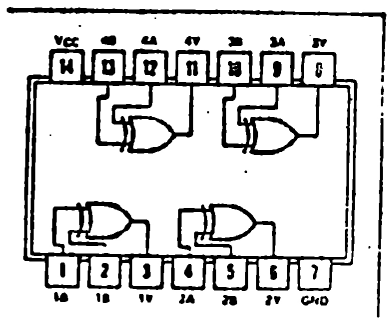


SN5410 (J) SN7410 (J, N)
SN54H10 (J) SN74H10 (J, N)
SN54L10 (J) SN74L10 (J, N)
SN54LS10 (J, W) SN74LS10 (J, N)
SN54S10 (J, W) SN74S10 (J, N)



SN5410 (W)
SN54H10 (W)
SN54L10 (T)

SN 74 LS 86 - Quatro portas exclusive - or com 2 entradas



FUNCTION TABLE

INPUTS A	INPUTS B	OUTPUT Y
L	L	L
L	H	H
H	L	H
H	H	L

H = high level, L = low level

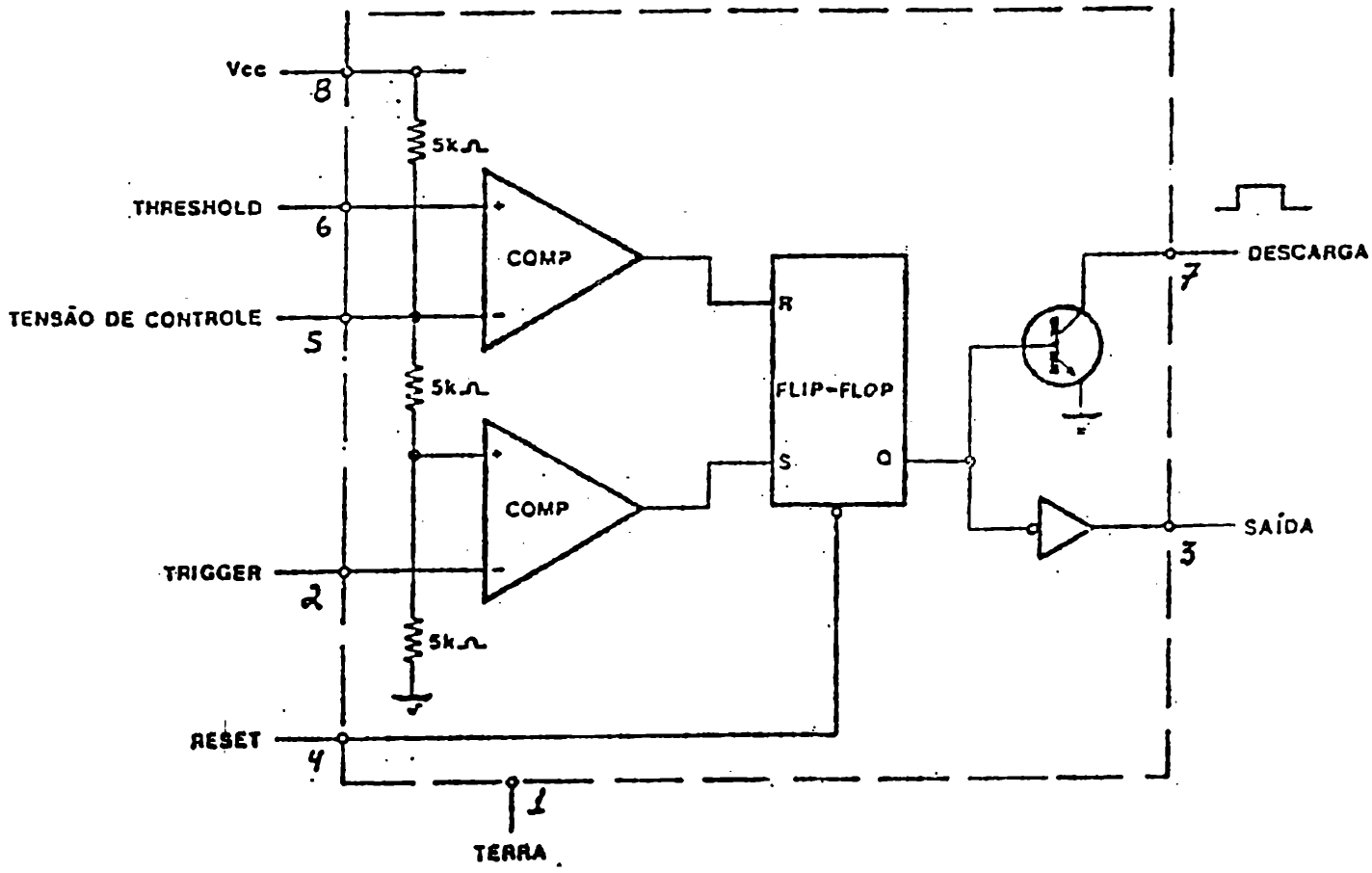
QUADRUPLE 2-INPUT EXCLUSIVE-OR GATES

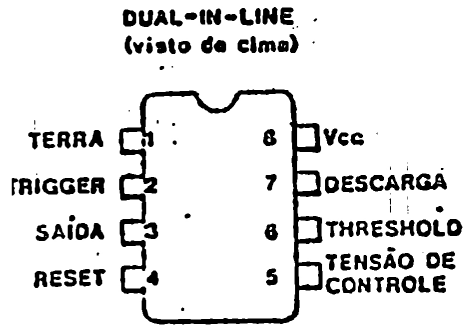
$Y = A \ominus B = \bar{A}B + A\bar{B}$

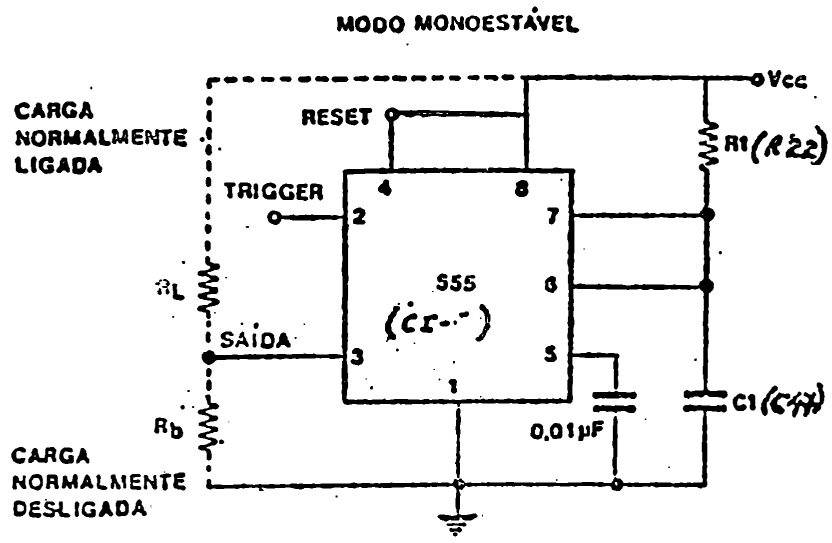
CI Linear 555

555

DIAGRAMA DE BLOCOS







EPROM 2732

2732
32K (4K x 8) UV ERASABLE PROM

- Single +5V ± 5% Power Supply
- Output Enable for MCS-85™ and MCS-86™ Compatibility
- Fast Access Time: 450ns Max.
- Low Power Dissipation:
  150mA Max. Active Current
  30mA Max. Standby Current
- Pin Compatible to Intel® 2716 EPROM and 2332/2364 ROMs
- Completely Static
- Simple Programming Requirements
  — Single Location Programming
  — Programs with One 50ms Pulse
- Three-State Output for Direct Bus Interface

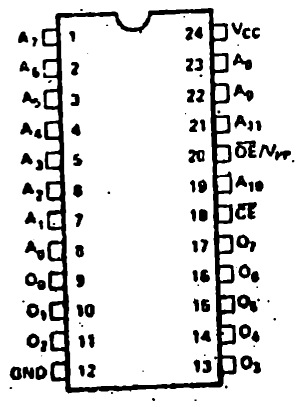
The Intel® 2732 is a 32,768-bit ultraviolet erasable and electrically programmable read-only memory (EPROM). The 2732 operates from a single 5-volt power supply, has a standby mode, and features an output enable control. For production, the pin compatible 2332 and 2364 ROMs are available. The total programming time for all bits is three and a half minutes. All these features make designing with the 2732 in microcomputer systems faster, easier, and more economical.

An important 2732 feature is the separate output control, Output Enable ($\overline{OE}$), from the Chip Enable control ($\overline{CE}$). The $\overline{OE}$ control eliminates bus contention in multiple bus microprocessor systems. Intel's Application Note AP-30 describes the microprocessor system implementation of the $\overline{OE}$ and $\overline{CE}$ controls on Intel's 2716 and 2732 EPROMs. AP-30 is available from Intel's Literature Department.

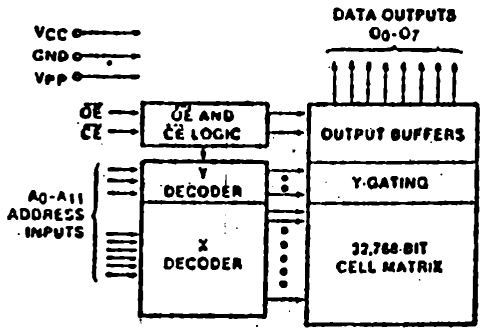
PIN NAMES

A_0-A_{11}	ADDRESSES
$\overline{CE}$	CHIP ENABLE
$\overline{OE}$	OUTPUT ENABLE
O_0-O_7	OUTPUTS

PIN CONFIGURATION



BLOCK DIAGRAM



MODE SELECTION

MODE \ PINS	CE (18)	OE/VPP (20)	VCC (24)	OUTPUTS (9-11,13-17)
Read	V_{IL}	V_{IL}	+5	D_{OUT}
Standby	V_{IH}	Don't Care	+5	High Z
Program	V_{IL}	VPP	+5	D_{IN}
Program Verify	V_{IL}	V_{IL}	+5	D_{OUT}
Program Inhibit	V_{IH}	VPP	+5	High Z

D.C. AND OPERATING CHARACTERISTICS

T_A = 0°C to 70°C, V_{CC} = +5V ± 5%

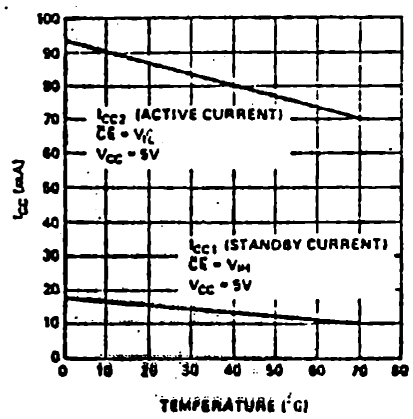
READ OPERATION

Symbol	Parameter	Limits Min.	Typ.[1]	Max.	Unit	Conditions
I_{LI1}	Input Load Current (except $\overline{OE}/V_{PP}$)			10	µA	V_{IN} = 5.25V
I_{LI2}	$\overline{OE}/V_{PP}$ Input Load Current			300	µA	V_{IN} = 5.25V
I_{LO}	Output Leakage Current			10	µA	V_{OUT} = 5.25V
I_{CC1}	V_{CC} Current (Standby)		15	30	mA	$\overline{CE}$ = V_{IH}, $\overline{OE}$ = V_{IL}
I_{CC2}	V_{CC} Current (Active)		85	150	mA	$\overline{OE}$ = $\overline{CE}$ = V_{IL}
V_{IL}	Input Low Voltage	-0.1		0.8	V	
V_{IH}	Input High Voltage	2.0		V_{CC}+1	V	
V_{OL}	Output Low Voltage			0.45	V	I_{OL} = 2.1mA
V_{OH}	Output High Voltage	2.4			V	I_{OH} = -400µA

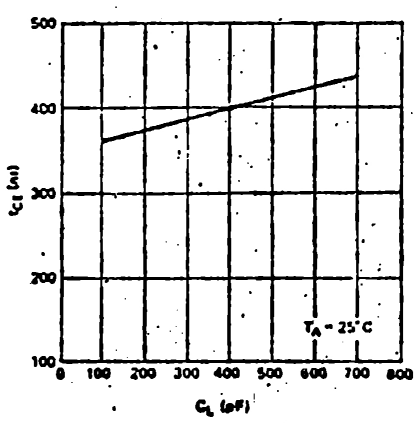
Note: 1. Typical values are for T_A = 25°C and nominal supply voltages.

TYPICAL CHARACTERISTICS

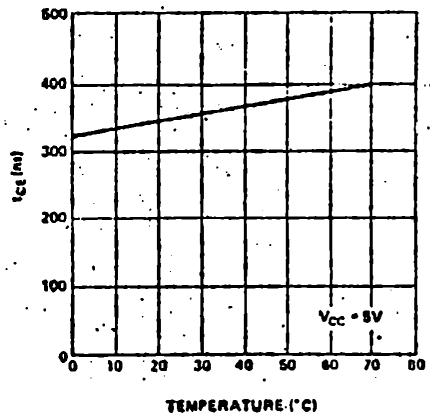
I_{CC} CURRENT VS. TEMPERATURE



$\overline{CE}$ TO OUTPUT DELAY (t_{CE}) VS. CAPACITANCE



$\overline{CE}$ TO OUTPUT DELAY (t_{CE}) VS. TEMPERATURE



A.C. CHARACTERISTICS

T_A = 0°C to 70°C, V_{CC} = +5V ± 5%

Symbol	Parameter	Limits Min.	Limits Typ.[1]	Limits Max.	Unit	Test Conditions
t_{ACC}	Address to Output Delay			450	ns	$\overline{CE}$ = $\overline{OE}$ = V_{IL}
t_{CE}	$\overline{CE}$ to Output Delay			450	ns	$\overline{OE}$ = V_{IL}
t_{OE}	Output Enable to Output Delay			120	ns	$\overline{CE}$ = V_{IL}
t_{DF}	Output Enable High to Output Float	0		100	ns	$\overline{CE}$ = V_{IL}
t_{OH}	Address to Output Hold	0			ns	$\overline{CE}$ = $\overline{OE}$ = V_{IL}

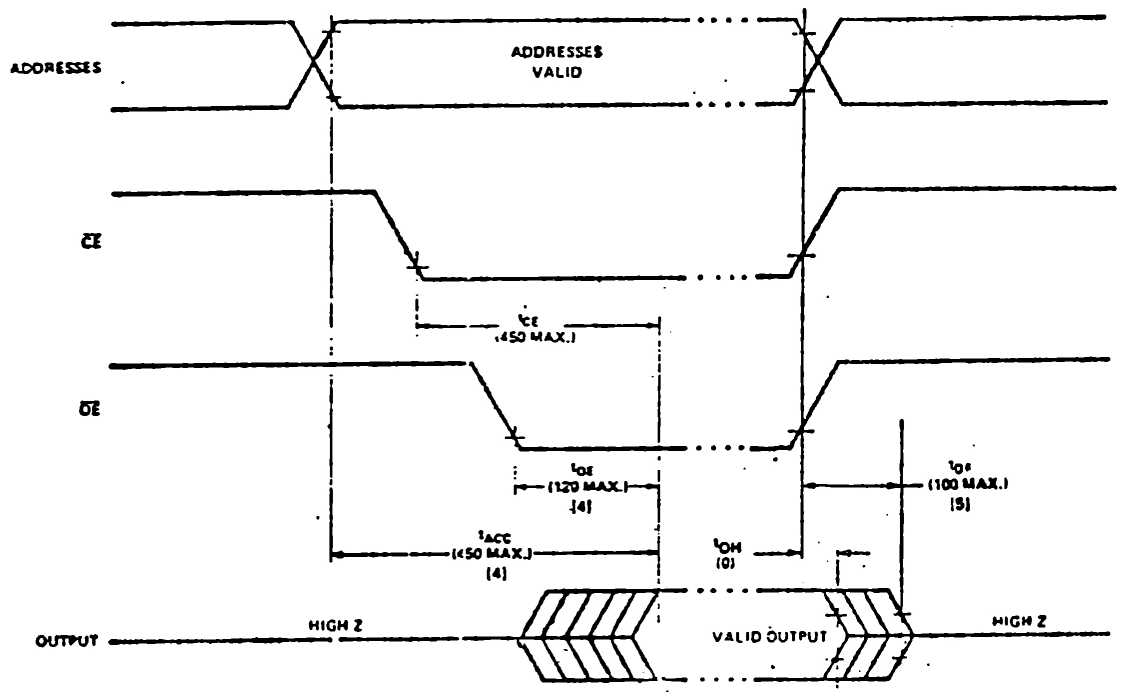
CAPACITANCE [2] T_A = 25°C, f = 1MHz

Symbol	Parameter	Typ.	Max.	Unit	Conditions
C_{IN1}	Input Capacitance Except $\overline{OE}/V_{PP}$	4	6	pF	V_{IN} = 0V
C_{IN2}	$\overline{OE}/V_{PP}$ Input Capacitance		20	pF	V_{IN} = 0V
C_{OUT}	Output Capacitance		12	pF	V_{OUT} = 0V

A.C. TEST CONDITIONS

Output Load: 1 TTL gate and C_L = 100pF
Input Rise and Fall Times: ≤ 20ns
Input Pulse Levels: 0.8V to 2.2V
Timing Measurement Reference Level:
Inputs 1V and 2V
Outputs 0.8V and 2V

A.C. WAVEFORMS [3]



NOTES:
1. TYPICAL VALUES ARE FOR T_A = 25°C AND NOMINAL SUPPLY VOLTAGES
2. THIS PARAMETER IS ONLY SAMPLED AND IS NOT 100% TESTED.
3. ALL TIMES SHOWN IN PARENTHESES ARE MINIMUM TIMES AND ARE NSEC UNLESS OTHERWISE SPECIFIED.
4. $\overline{OE}$ MAY BE DELAYED UP TO 330ns AFTER THE FALLING EDGE OF $\overline{CE}$ WITHOUT IMPACT ON t_{ACC}.
5. t_{DF} IS SPECIFIED FROM $\overline{OE}$ OR $\overline{CE}$, WHICHEVER OCCURS FIRST.

A UNIDADE CENTRAL DE PROCESSAMENTO Z80 A

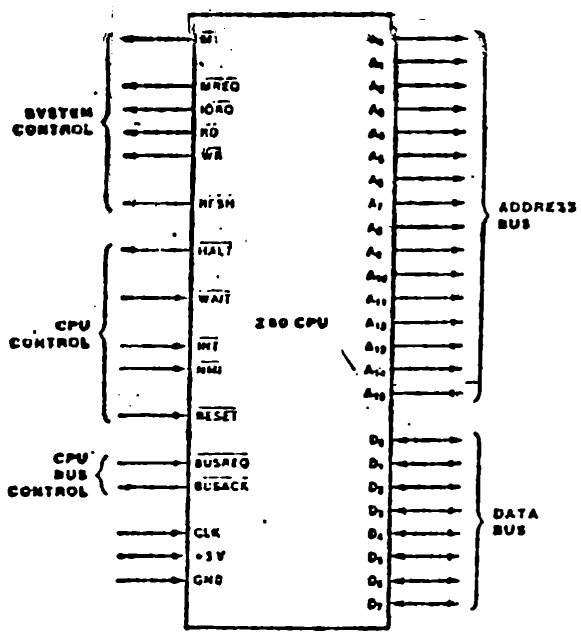


Figure 1. Pin Functions

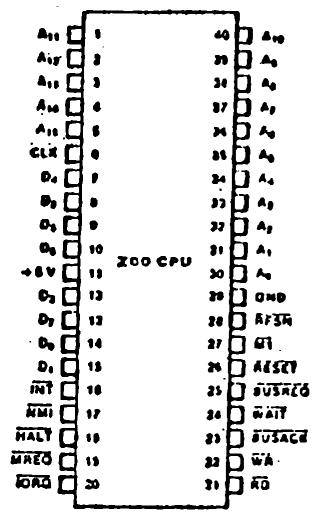


Figure 2. Pin Assignments

CONTRÔLE DO SISTEMA

MI - (PINO 27) - Um ciclo de máquina. (Saída, ativo em Ø). Junto Com MREQ indica que o ciclo de máquina em andamento é um ciclo de busca do código de operação da instrução em execução.

MREQ- (PINO 19) -Requisição de memória. (Saída, ativo em Ø, 3 estados). Indica que o endereço no bus de endereços é uma operação de leitura ou gravação na memória.

$\overline{IORQ}$ - (PINO 20) - Requisição de entrada/saída. (Saída, ativo em Ø, TRI-STATE). Indica que a parte baixa do endereço, no Bus de endereços, (AØ - A7), tem um endereço válido de I/O, para uma operação de leitura ou gravação de I/O. É também gerado com $\overline{M1}$ durante um ciclo de interrupt acknowlegde (Reconhecimento de interrupção), indicando que um vetor de resposta de interrupção pode ser colocado no Bus de dados.

$\overline{RD}$ - (PINO 21) - Leitura de memória.(Saída, ativo em Ø, TRI-STATE). Indica que a CPU espera dados vindos da memória ou de um dispositivo de I/O. O dispositivo ou a memória deve usar este sinal para colocar os dados no Bus de dados da CPU.

$\overline{WR}$ - (PINO 22) - Gravação na memória.(Saída, ativo em Ø, TRI-STATE). Indica que o Bus de dados para serem gravados na memória ou dispositivos de I/O endereçados.

$\overline{RFSH}$- (PINO 28) - Refresh (Saída, ativo em Ø).
Junto com MREQ, indica que os sete bits mais baixos do Bus de endereços (AØ - A6), podem ser usados como endereço de refrescamento para as memórias dinâmicas.

CONTROLE DA CPU

HALT - (PINO 18) - Estado de parada (Saída, ativo em Ø)
Indica que a CPU executa uma instrução de HALT e está esperando ou non_maskable ou uma maskable interrupção. Enquanto a CPU está em HALT, ela executa NOPs (nenhuma operação) para manter o refresh nas memórias.

WAIT - (PINO 24) - Espera (Entrada, ativo em Ø)
Indica a CPU que a memória ou dispositivos de I/O endereçados não estão prontos para a transferência de dados. Períodos extensivos de tempo de WAIT, podem prevenir a CPU para refreshing das memórias dinâmicas.

INT - (PINO 16) - Requisição de interrupt (Entrada, ativo em Ø) É gerado por um dos dispositivos I/O. A CPU atende a requisição no final da instrução em execução, se o flip-flop (IFF) for setado. (Controlador interno de interrupção por software).

NMI - (PINO 17) - Non-Maskable Interrupt (Entrada, ativo em Ø). Tem prioridade de interrupção, maior do que INT. É sempre reconhecido no final da instrução em execução, independente do status do flip-flop de interrupção e auto

cont...

máticamente força a CPU para executar um um programa tal a partir da posição 0066H.

$\overline{\text{RESET}}$ - (PINO 26) - Reset (Entrada, ativo em Ø)
Inicializa a CPU da seguinte maneira: Reseta o flip-flop de interrupção, limpar PC (Contador de Passos do programa) e registradores I e R e seta o status de interrupção para modo Ø . Durante o tempo de $\overline{\text{reset}}$, o Bus de endereços e dados vão para o estado de "1" (Impedância alta) e os sinais de contrôle de saída vão para estado inativo. Este sinal deve ficar ativo na entrada da CPU por um mínimo de 3 ciclos de clocks completos antes da operação ser completada.

CONTRÔLE DO BUS DA CPU

$\overline{\text{BUSREQ}}$ - (PINO 25) - Requisição do Bus(Entrada, ativo em Ø)
Tem prioridade de interrupção maior do que $\overline{\text{NMI}}$ e é sempre reconhecido no final do ciclo de máquina em execução. Força o Bus de endereços e dados e sinais de contrôle $\overline{\text{MREQ}}$, $\overline{\text{IORQ}}$, $\overline{\text{RD}}$ e $\overline{\text{WR}}$ para estado de alta impedância e outros dispositivos podem controlar estas linhas.

$\overline{\text{BUSACK}}$ - (PINO 23) - Reconhecimento do Bus (Saída, ativo em Ø)
Indica ao dispositivo requerente que o BUS de endereços e dados e sinais de con

cont...

trôle : $\overline{MREQ}$, $\overline{IORQ}$, $\overline{RD}$ e $\overline{WR}$ estão em estado de alta impedância. O circuito externo pode agora controlar estas linhas.

BUS DE ENDEREÇOS

AØ - A15 - (PINOS de 1-5 e 30-40) — Bus de endereço (saída, ativo em 1). AØ -A15 forma um Bus de endereço de 16 bits. Este Bus proporciona endereçamento para memória (de até 64 K bytes) e para troca de dispositivo de I/O.

BUS DE DADOS

DØ - D7 -(PINOS de 7- 10 e 12-15) — Bus de dados (Entrada/Saída, ativo em 1, tri-state). DØ-D7 constitui o Bus de dados de 8 bits, usado para troca de dados com a memória e dispositivos de I/O.

CLK - (PINO 6) - clock (ENTRADA) — Frequência de 4 MHZ.

A SUA CONSTITUIÇÃO INTERNA ESTÁ DESENHADA NA FIGURA ABAIXO:

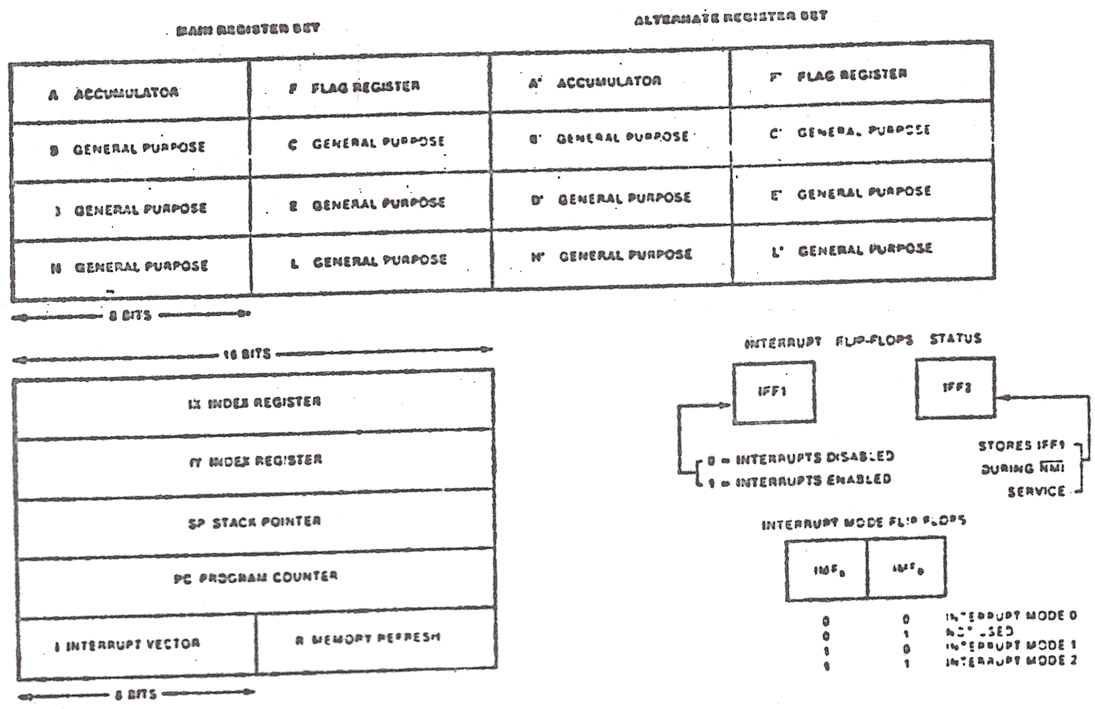
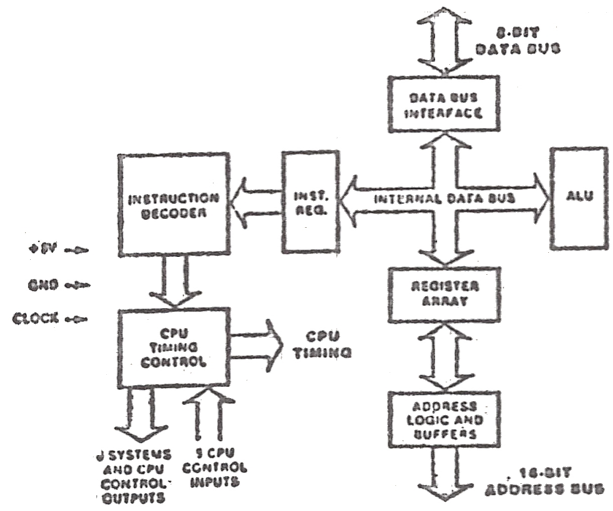


Figure 4. CPU Registers

Register		Size (Bits)	Remarks
A, A'	Accumulator	8	Stores an operand or the results of an operation.
F, F'	Flags	8	See Instruction Set.
B, B'	General Purpose	8	Can be used separately or as a 16-bit register with C.
C, C'	General Purpose	8	See B, above.
D, D'	General Purpose	8	Can be used separately or as a 16-bit register with E.
E, E'	General Purpose	8	See D, above.
H, H'	General Purpose	8	Can be used separately or as a 16-bit register with L.
L, L'	General Purpose	8	See H, above.
			Note: The (B,C), (D,E), and (H,L) sets are combined as follows: B — High byte C — Low byte D — High byte E — Low byte H — High byte L — Low byte
I	Interrupt Register	8	Stores upper eight bits of memory address for vectored interrupt processing.
R	Refresh Register	8	Provides user-transparent dynamic memory refresh. Automatically incremented and placed on the address bus during each instruction fetch cycle.
IX	Index Register	16	Used for indexed addressing.
IY	Index Register	16	Same as IX, above.
SP	Stack Pointer	16	Stores addresses or data temporarily. See Push or Pop in instruction set.
PC	Program Counter	16	Holds address of next instruction.
IFF_1-IFF_2	Interrupt Enable	Flip-Flops	Set or reset to indicate interrupt status (see Figure 4).
IMFa-IMFb	Interrupt Mode	Flip-Flops	Reflect interrupt mode (see Figure 4).



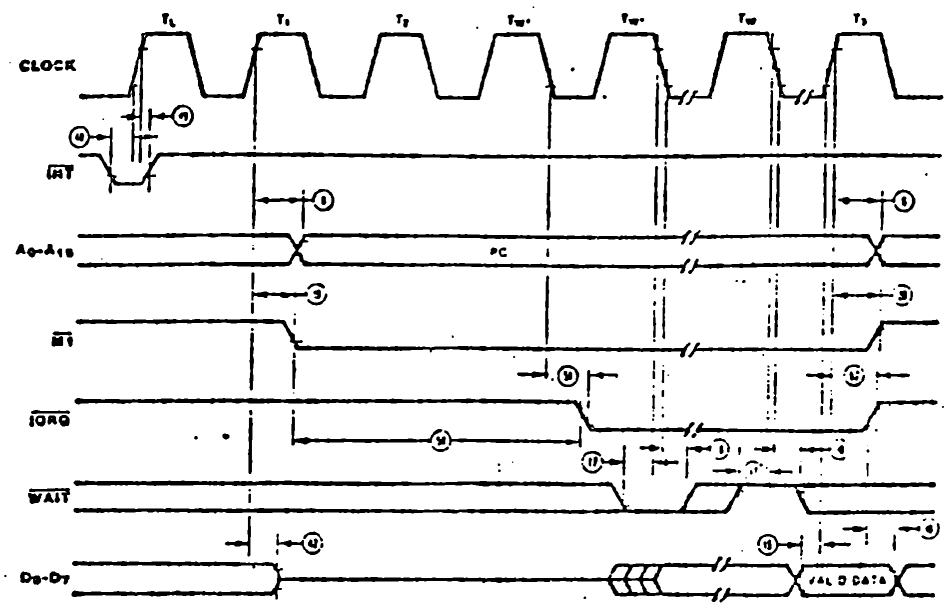
Esta CPU admite dois sinais de entrada de interrupções: $\overline{NMI}$ e $\overline{INT}$. O $\overline{NMI}$ é um non-maskable interrupção e tem alta prioridade. $\overline{INT}$ é de baixa prioridade de interrupção e requer que a interrupção seja habilitada por software a mando do operador. O reconhecimento da interrupção é feito em ambos os casos, depois do último clock de uma instrução.

DESCRIÇÃO DETALHADA DE NMI E INT

NON-MASKABLE INTERRUPT ($\overline{NMI}$) Esta interrupção não mascarada, não pode ser inibida através de programa de contrôle e portanto será aceita a todo tempo pela CPU. $\overline{NMI}$ é normalmente reservado para serviços de tipo interrupção de maior prioridade. Depois de reconhecido o sinal $\overline{NMI}$ ($\overline{BUSREQ}$ inativo), a CPU pula para o endereço 0066H, dando início de processamento do serviço de interrupção, em forma de rotina. A carta de tempo é semelhante a leitura exceto que os dados colocados no Bus pela memória são ignorados. A CPU executa um restart (RST) e pula para a rotina de serviço $\overline{NMI}$ localizada no endereço 0066H.

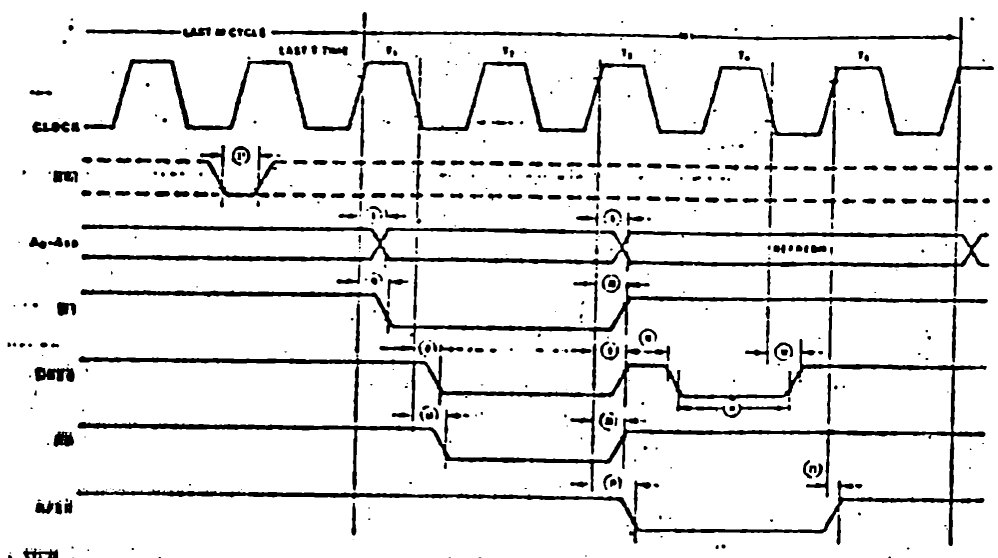
MASKABLE INTERRUPT ($\overline{INT}$) Depois da interrupção ter sido detetada pela CPU (contando que interrupções estejam habilitados, o $\overline{BUSREQ}$ inativo), um ciclo especial para interrupção é iniciado.

Este ciclo é um ciclo especial de fetch (BUSCA) ($\overline{M1}$) no qual $\overline{IORQ}$ torna-se ativo antes que $\overline{MREQ}$, como um ciclo normal M1. Em adição, este ciclo especial de busca ($\overline{M1}$) é automáticamente extendido por dois estados de $\overline{WAIT}$, para permitir neste tempo, o reconhecimento da requisição de interrupção e colocar o vetor de interrupção no Bus de dados.



NOTE: 1) T_L = Last state of previous instruction.* 2) Two Wait cycles automatically inserted by CPU(*).

Figure 8. Interrupt Request/Acknowledge Cycle



*Although NMI is an asynchronous input, to guarantee its being recognized on the following machine cycle, NMI's falling edge must occur no later than the rising edge of the clock cycle preceding T_{LAST}.

Figure 9. Non-Maskable Interrupt Request Operation

MODOS DE INTERRUPÇÃO

Operação de interrupção (Modo Ø)

Este modo é compátivel com o serviço de interrupção do microprocesador 8080. O dispositivo que fez a interrupção, coloca uma instrução no Bus de dados, e é acionado por seis tempos pela CPU. Esta é uma instrução de restart, que deve inicializar um jump (pulo) incondicional para uma das oito locações de restart, na página zero da memória.

Operação de interrupção (Modo 1)

Este modo parece com NMI. A principal diferença é que nesta interrupção, o vetor de endereço é 0038H.

Operação de interrupção (Modo 2)

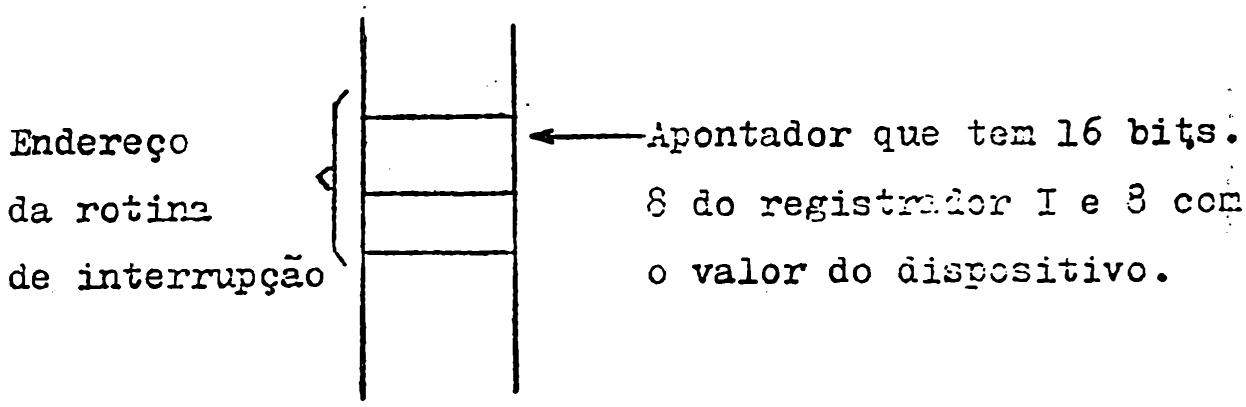
Este modo é para utilizar com mais eficiência a capacidade do micro processador Z80 e a família dos periféricos associados. O periférico que fez a interrupção seleciona o endereço de partida para uma rotina de interrupção. E este coloca um vetor de endereço de 8 bits no Bus de dados durante o ciclo de reconhecimento de interrupção. O byte de ordem mais elevada do endereço da rotina de interrupção é colocado no registrador I. A flexibilidade em selecionar uma rotina atráves de endereços, propcrciona ao usuário diversas maneiras de utilização. Estas rotinas podem ser colocadas em alguma área de memória livre..

VETOR DE INTERRUPÇÃO

1º byte (8 bits de ordem baixa): contém o valor de referência do dispositivo que provocou a interrupção.

2º byte (8 bits de ordem alta): contém o conteúdo do registrador I, que tem guardado o endereço indireto de alguma posição de memória, para processar uma rotina de interrupção. Este endereço aponta para o

primeiro dos dois bytes da tabela, onde está o endereço da rotina de serviço. A CPU obtém este endereço e automáticamente executa o CALL.



NOP	00	INTRUÇÃO DE SOFTWARE
HALT	76	
DESABILITADO INT (DI)	F3	
HABILITADO INT (EI)	FB	
SET INT MODO Ø IMØ	ED 46	8080A
SET INT MODO 1 IM1	ED 56	CALL PARA ENDEREÇO 0038H
SET INT MODO 2 IM2	ED 5E	CALL INDIRETO

FLIP-FLOPS DE INTERRUPÇÃO

General-Purpose Arithmetic and CPU Control Groups

Mnemonic	Symbolic Operation	S	Z	H	P/V	N	C	Opcode 76 543 210	Hex	No. of Bytes	No. of M Cycles	No. of T States	Comments
DAA	Converts acc. content into packed BCD following add or subtract with packed BCD operands.	↕	↕	X	↕	X	P	•	↕	00 100 111	27	1	1	4	Decimal adjust accumulator.
CPL	$A - \overline{A}$	•	•	X	1	X	•	1	•	00 101 111	2F	1	1	4	Complement accumulator (one's complement)
NEG	A – 0 – A	↕	↕	X	↕	X	V	1	↕	11 101 101 01 000 100	ED 44	2	2	8	Negate acc. (two's complement).
CCF	$CY - \overline{CY}$	•	•	X	X	X	•	0	↕	00 111 111	3F	1	1	4	Complement carry flag.
SCF	CY – 1	•	•	X	0	X	•	0	1	00 110 111	37	1	1	4	Set carry flag.
NOP	No operation	•	•	X	•	X	•	•	•	00 000 000	00	1	1	4	
HALT	CPU halted	•	•	X	•	X	•	•	•	01 110 110	76	1	1	4	
DI *	IFF – 0	•	•	X	•	X	•	•	•	11 110 011	F3	1	1	4	
EI *	IFF – 1	•	•	X	•	X	•	•	•	11 111 011	FB	1	1	4	
IM 0	Set interrupt mode 0	•	•	X	•	X	•	•	•	11 101 101 01 000 110	ED 46	2	2	8	
IM 1	Set interrupt mode 1	•	•	X	•	X	•	•	•	11 101 101 01 010 110	ED 56	2	2	8	
IM 2	Set interrupt mode 2	•	•	X	•	X	•	•	•	11 101 101 01 011 110	ED 5E	2	2	8	

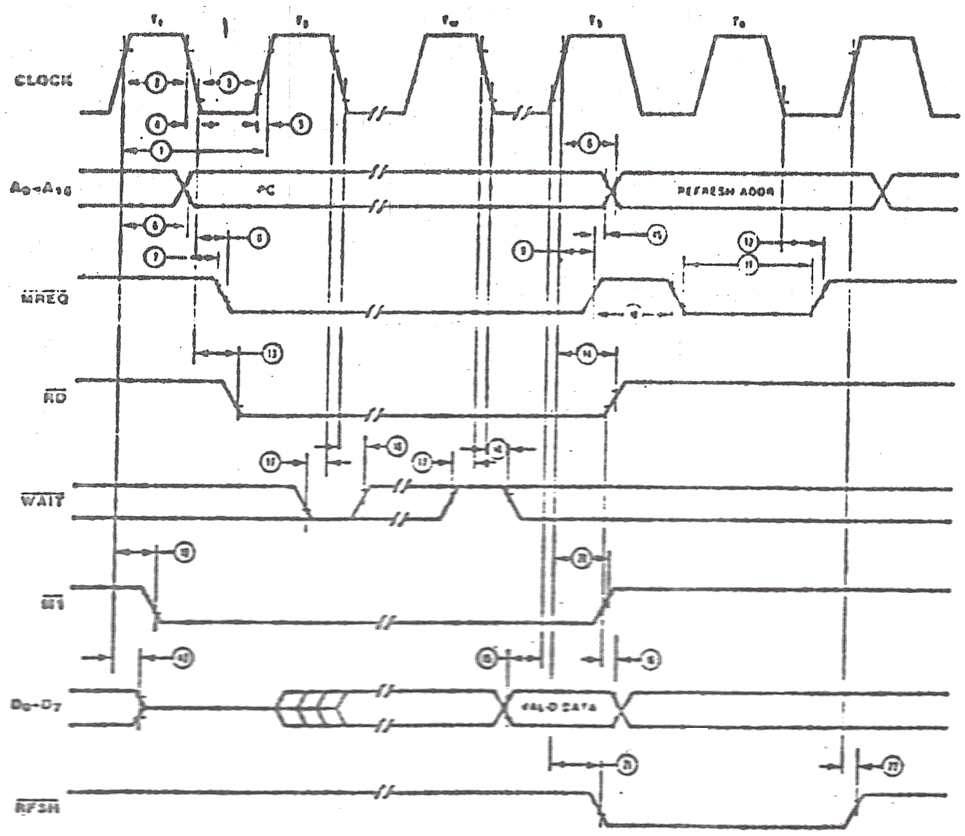
NOTES: IFF indicates the interrupt enable flip-flop.
CY indicates the carry flip-flop.
* Indicates interrupts are not sampled at the end of EI or DI.

Action	IFF_1	IFF_2	Comments
CPU Reset	0	0	Maskable interrupt $\overline{INT}$ disabled
DI instruction execution	0	0	Maskable interrupt $\overline{INT}$ disabled
EI instruction execution	1	1	Maskable interrupt $\overline{INT}$ enabled
LD A,I instruction execution	•	•	IFF_2 — Parity flag
LD A,R instruction execution	•	•	IFF_2 — Parity flag
Accept $\overline{NMI}$	0	IFF_1	$IFF_1 - IFF_2$ (Maskable interrupt $\overline{INT}$ disabled)
RETN instruction execution	IFF_2	•	$IFF_2 - IFF_1$ at completion of an $\overline{NMI}$ service routine.

Table 2. State of Flip-Flops

Como mostrado nas gravuras, os flip-flops IFF1, IFF2, IMFa e IM_ Fb controlam o processo de interrupção quando utilizado o sinal INT (baixa prioridade). Neste caso o programador usando as instruções em assembler: DI, IM, IM1, IM2,' pode trabalhar com a interrupção. Apenas quando o sinal NMI (Prioridade maior do que INT) é usado, o conteúdo de IFF1 é salvado em IFF2. Isto se dá porque depois de atendido esta interrupção, o processamento tem que votar na sua fase anterior. Então faz IFF2 IFF1 (Restauração de valôres).

CARTAS DE TEMPO



NOTE: T_w-Wait cycle added when necessary for slow ancilliary devices.

Figure 5. Instruction Opcode Fetch

BUSCA DO CÓDIGO DE OPERAÇÃO DA INSTRUÇÃO

A CPU coloca o conteúdo do PC no Bus de endereços e parte a operação. $\overline{M1}$ fica ativo e leva consigo depois de certo tempo $\overline{MREQ}$. Logo após RD também ativado, indicando que a CPU espera dados. Somente quando $\overline{WAIT}$ voltar para inativo é que os dados estarão liberados no Bus de dados.

Depois é feito o refresh. $\overline{RFSH}$ fica ativo e os endereços aparecem no Bus de endereços. Notar que para tal operação $\overline{MREQ}$ tem que estar ativo. O Refresh se dará nos ciclos de clock T3 e T4, durante os quais serão decodificados o código operacional.

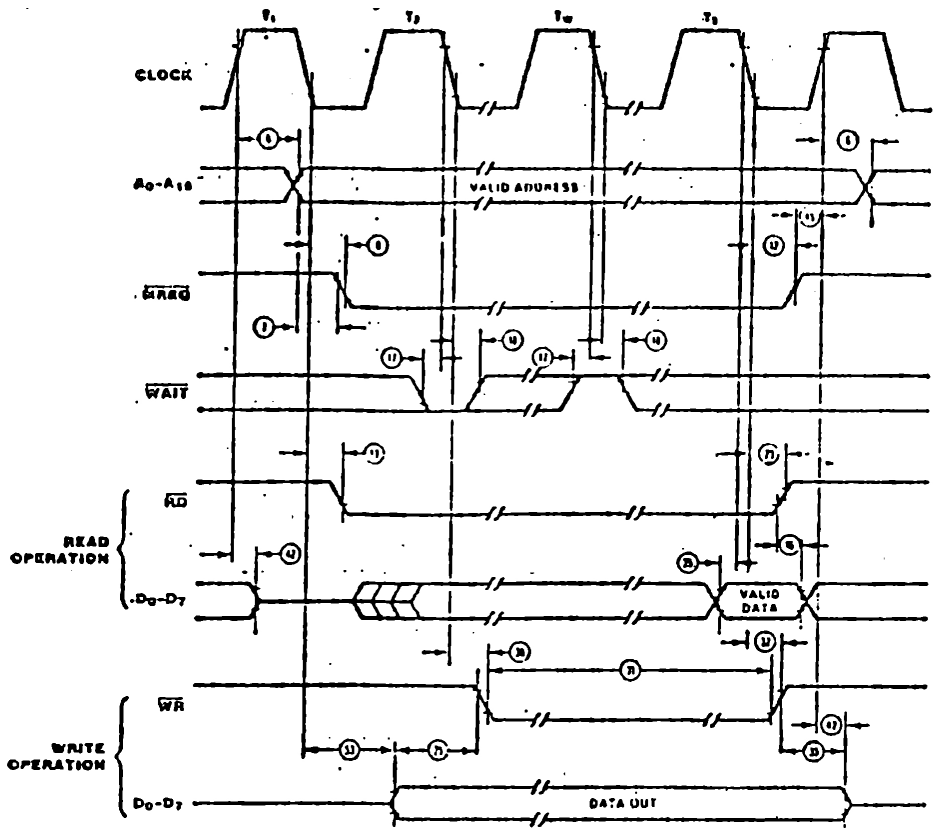
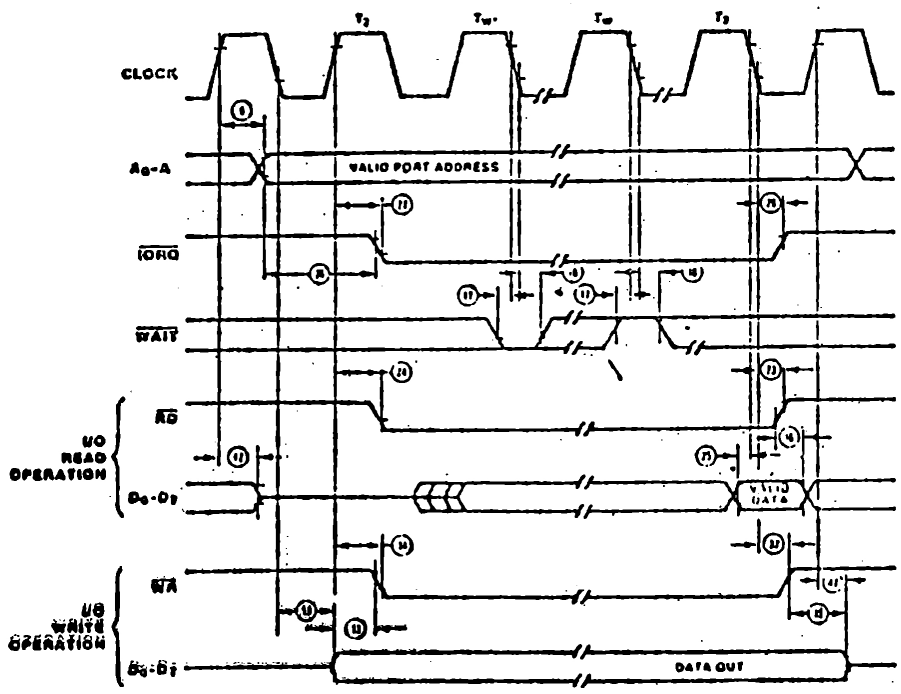


Figure 6. Memory Read or Write Cycles

CICLO DE LEITURA OU ESCRITA NA MEMÓRIA:

Associa-se ai MREQ com RD e com WR WAIT é o sinal que depois de inativo, no caso de leitura, a memória libera dados no caso de escrita, lê dados e escreve no endereço das linhas de Bus.

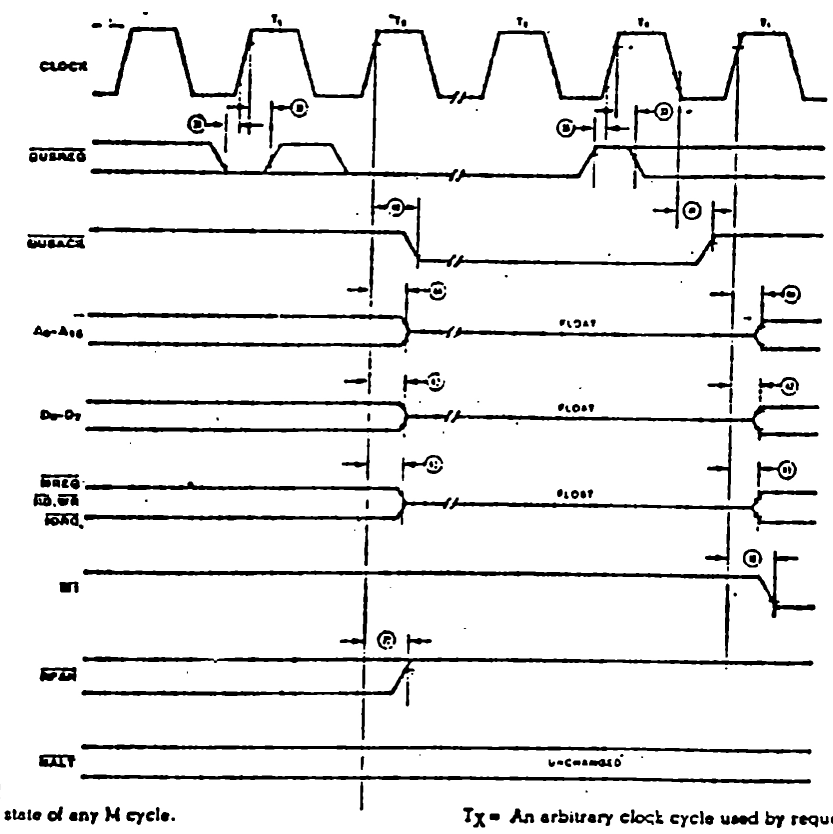


NOTE: T_W = One Wait cycle automatically inserted by CPU.

Figure 7. Input or Output Cycles

CICLO DE ENTRADA E SAÍDA:

A diferença da leitura e escrita de memória é o sinal de $\overline{IORQ}$. Durante a operação de I/O, a CPU automáticamente insere um tempo de espera (WAIT STATE (TW)). Este estado de espera é suficiente para a porta de I/O, decodificar o endereço e o endereço da linha da ' porta.



NOTE: T_L = Last state of any M cycle. T_X = An arbitrary clock cycle used by requesting device.

Figure 10. Bus Request/Acknowledge Cycle

REQUISIÇÃO DE BUS/CICLO DE RECONHECIMENTO:

Se $\overline{BUSREQ}$ está ativo, a CPU coloca as linhas de endereços, dados, $\overline{MREQ}$, $\overline{IORQ}$, $\overline{RD}$ e $\overline{WR}$ em alta impedância no próximo ciclo de clock. Neste tempo, algum dispositivo pode controlar estas linhas, usualmente para fazer transferência de dados entre memória e dispositivos de I/O.

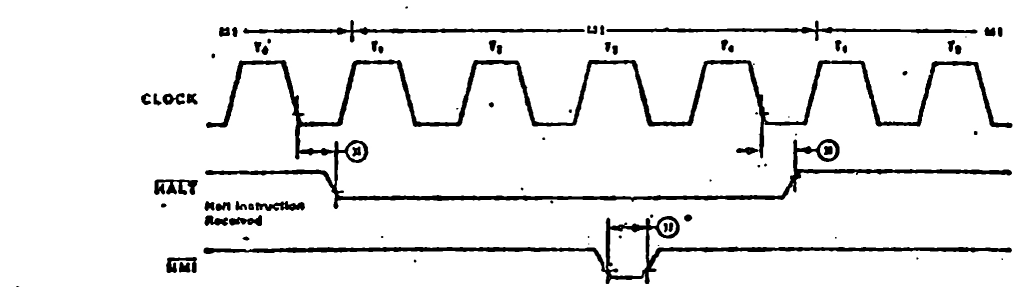


Figure 11. Halt Acknowledge Cycle

CICLO DE RECONHECIMENTO DE HALT

Quando a CPU recebe uma instrução HALT, ela executa NOP (nenhuma operação), até que um INT ou NMI seja recebido. Quando no estado halt, a saída HALT é ativada e fica assim até uma interrupção ser processada.

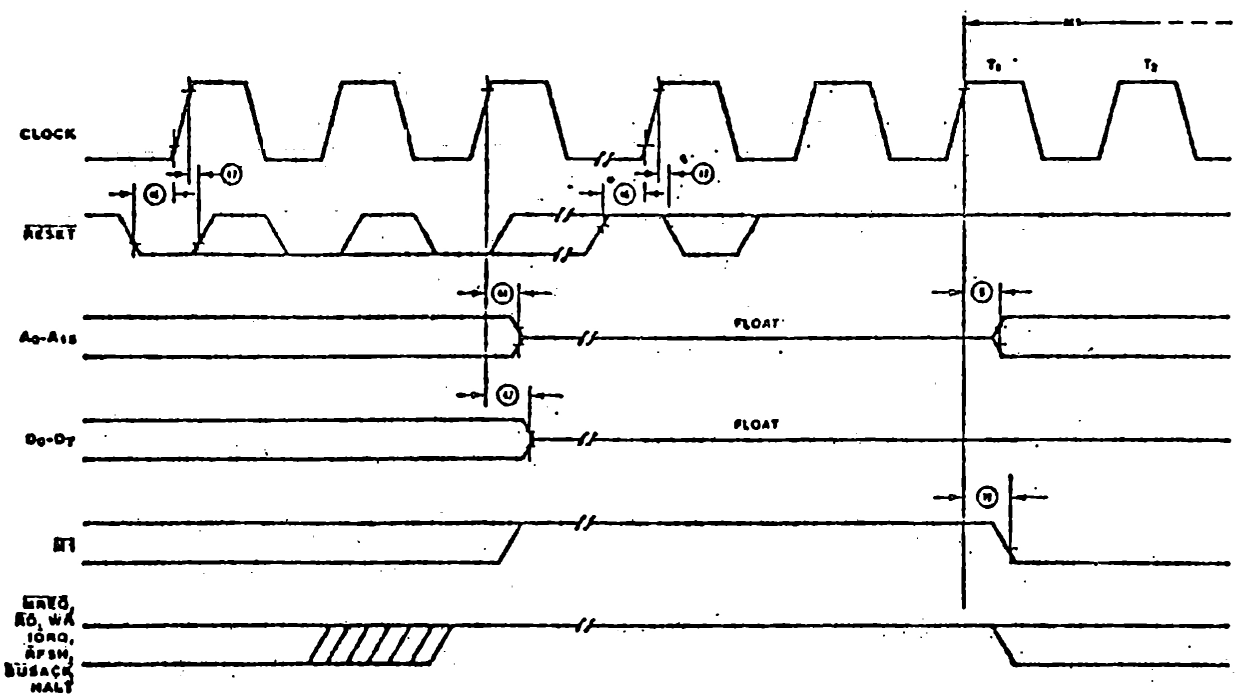


Figure 12. Reset Cycle

CICLO DE RESET

Reset deve ficar ativo por um mínimo de 3 clocks para a CPU fazer a operação corretamente os Bus de endereços e dados fi_

cam no ar e as saídas de controle ficam inativos. Uma vez desativado o $\overline{\text{RESET}}$, são necessários dois ciclos T para a CPU voltar ao processamento normal. $\overline{\text{RESET}}$ limpa o registrador PC e assim o primeiro código de operação de fetch (busca) é 0000.

MEMÓRIAS
RAM
E
EPROM

O texto a seguir estava escrito à mão em uma página anexada na apostila.

Linhas de Address durante o Refresh

A0 A1 A2 A3 A4 A5 A6 A7 A8 A9 A10 A11

CI25
Contador de linhas dentro de um caracter.
Formar caracter na eprom p/ video.

CI30
Latch do código do teclado (saídas Q)
(forma os códigos do teclado)
(função grafica)

CPU/Teclado
(responsavel pela mudança do cursor de K para L)

MEMÓRIA RAM DINÂMICA - 16Kb

A memória dinâmica RAM do CP 200, para armazenamento de dados e programas, é constituída de 8 memórias RAM 4116 (16 Kb x 1 bit), sendo necessário dispô-las em paralelo visto que o bus de dados é constituído por 8 linhas. (equivalente ao MM 5290-4, fab. National).

DESCRITIVO DO FUNCIONAMENTO DA 4116

A RAM 4116 trabalha com 3 tensões: 5v, -5v e +12v.

Sinais de contrôle:

$\overline{RAS}$: habilita o latch de endereçamento de linhas possibilitando deste modo o fornecimento das 7 linhas do endereçamento.

$\overline{CAS}$: habilita o latch de endereçamento de colunas possibilitando deste modo o fornecimento das 7 linhas já alternadas pelo sinal MUX.

WE : sinal direcionador do fluxo de dados para RAM.

Quando baixo faz com que haja escrita na RAM (DI).

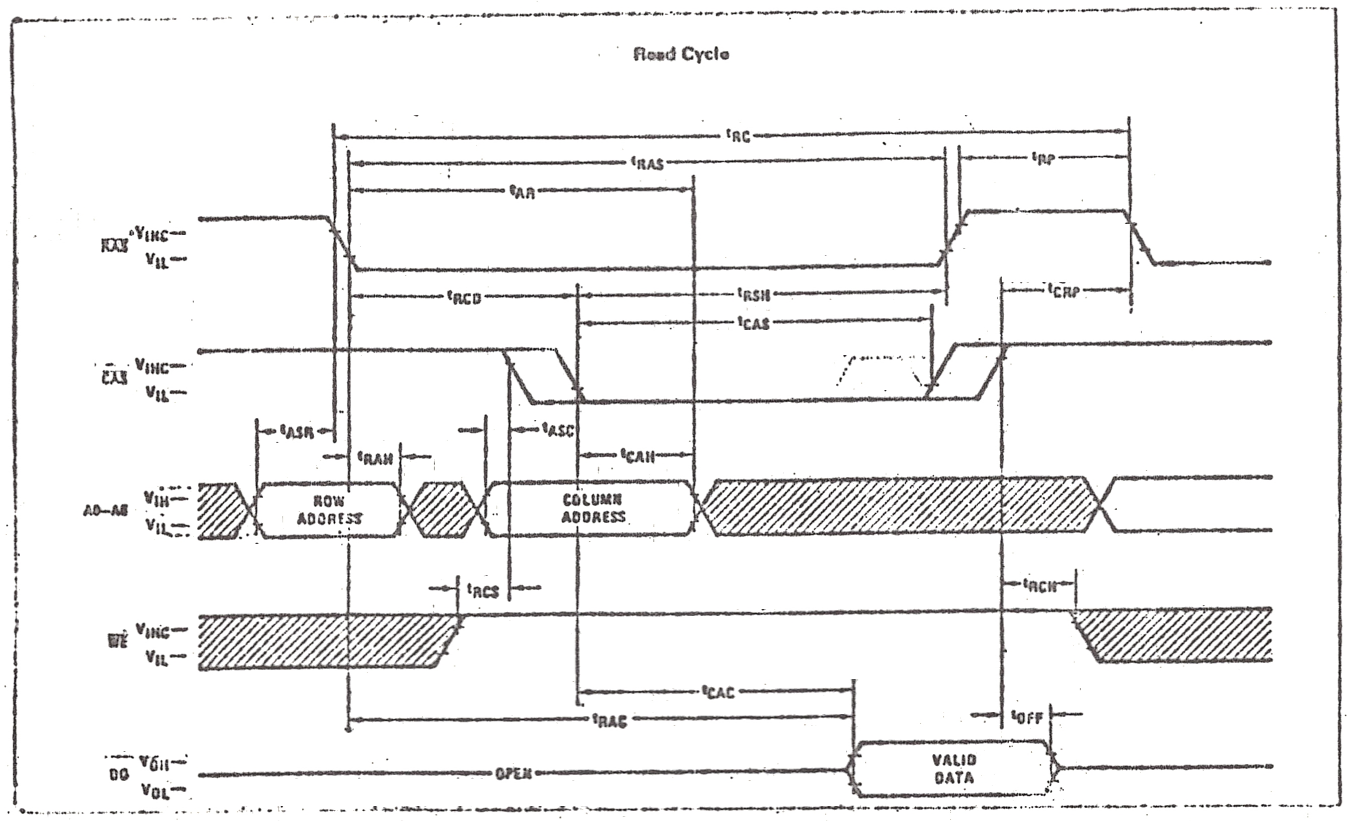
Quando alto faz com que haja leitura de RAM (DO).

Para a formação de uma matriz de 16 Kb é feita uma permutação das 7 linhas de endereçamento Ao a A6 através do sinal MUX. Assim se dará através do sincronismo entre os sinais $\overline{RAS}$, MUX e $\overline{CAS}$ a geração de um endereçamento para uma matriz de 16 Kb (128 x 128).

Por estas memórias serem dinâmicas é necessário haver um refrescamento dos dados das mesmas, sendo feito através da geração de $\overline{RAS}$ para todas as posições de memória.

Se observarmos a carta de tempo referente ao ciclo de leitura de dados da RAM 4116, concluímos que existe uma seqüência a ser respeitada quanto a aplicação dos sinais de contrôle à RAM. Inicialmente é fornecido o sinal RAS que carregará no latch de endereçamento de linhas com os endereços presentes nas linhas Ao a A6.

Em seguida deverá ser forneeido o sinal $\overline{CAS}$ (gerado apartir de um sinal MUX), que carregará no latch de endereçamento de colunas com os endereços presentes nas linhas Ao a A6 e passado um tempo tcac (tempo de acesso do $\overline{CAS}$) o dado endereçado estará presente na saída Do. Durante este ciclo a entrada $\overline{WE}$ deverá estar devidamente ativada. Quanto a análise do ciclo de escrita na memória, analogamente pode ser feita observando a descrição do ciclo de leitura acima.

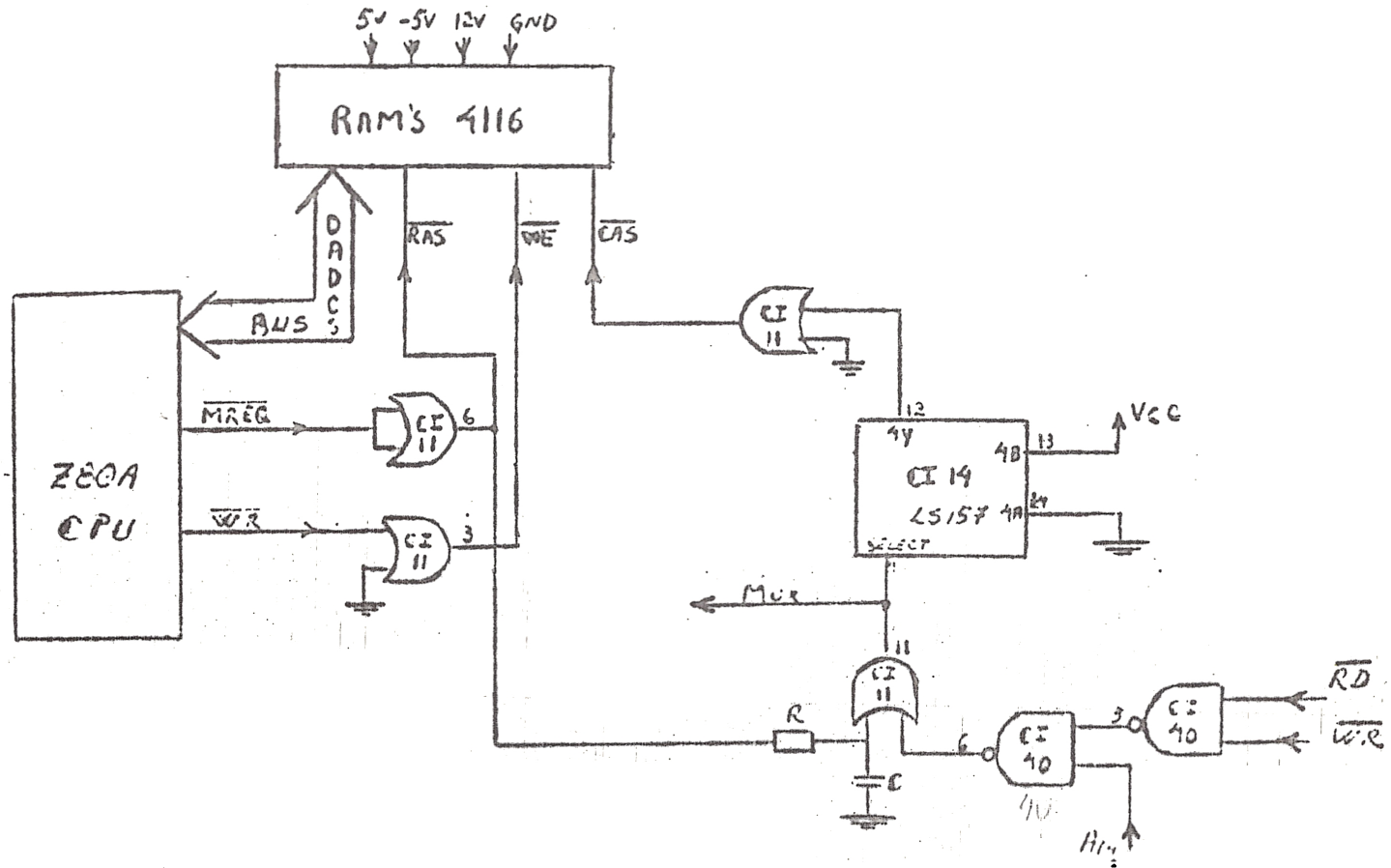


ENDEREÇAMENTO DAS RAM'S - GERAÇÃO DE RAS, MUX e CAS ' REFRESCAMENTO.

O sinal $\overline{WE}$ para as RAM'S é gerado através do sinal $\overline{WR}$ ' proveniente da CPU.

O sinal $\overline{RAS}$ é gerado a partir do sinal $\overline{MREQ}$ da CPU.

O sinal $\overline{CAS}$ depende dos seguintes sinais da CPU: a li-' nha de endereço A14 e os sinais de contrôle $\overline{MREQ}$, $\overline{RD}$ ou $\overline{WR}$.



O circuito da figura 1 mostra a geração dos sinais de ' contrôle para as RAM'S.

A tabela a seguir mostra as condições dos sinais da CPU para a geração dos sinais de contrôle às RAM'S, e a figura 2' mostra a multiplexagem dos endereços para as RAM'S e a lógica de refrescamento.

(Abaixo, o texto estava escrito á lápis na folha.)

WR= 1 leitura
0 gravação

Tabela

Estado	Z80 - CPU				CI 14		RAM	
	$\overline{MREQ}$	A_{14}	$\overline{RD}$	$\overline{WR}$	select (mux)	4y	$\overline{CAS}$	$\overline{RAS}$
I	1	X	X	X	1	1	1	1
II	0	0	X	X	1	1	1	0
III	0	1	0	1	0	0	0	0
IV	0	1	1	0	0	0	0	0

X → irrelevante

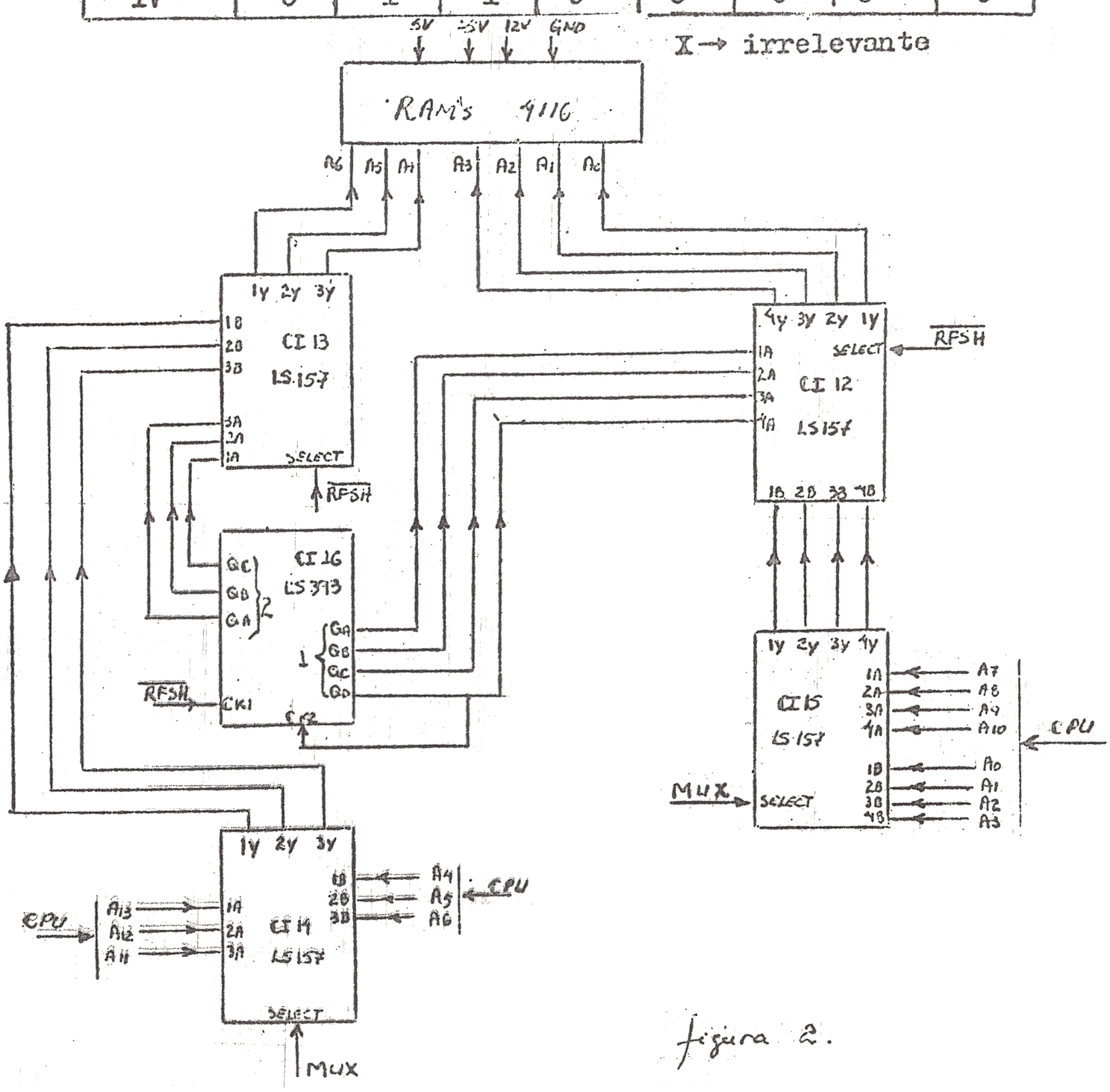


figura 2.

Antes de entrarmos na explicação da tabela e das figuras 1 e 2, é dado a seguir um descritivo do funcionamento do multiplex SN 74LS157.

O multiplex SN 74LS157 possui 4 entradas "A" e 4 entradas "B" onde serão transpassadas as 4 saídas "Y" através de uma seleção pelo pino select, como descreve a tabela abaixo:

Entradas			saída
Select	A	B	Y
0	0	X	0
0	1	X	1
1	X	0	0
1	X	1	1

X → irrelevante
Lógica positiva

Quando a entrada select estiver em nível baixo as 4 entradas "A" serão transpassadas às quatro saídas Y, caso contrário, ou seja, entrada select em nível alto, as 4 entradas "B" serão transpassadas às quatro saídas Y.

Voltando a explicação da tabela e das figuras 1 e 2 podemos observar que no estado I, ou seja, se $\overline{MREQ}$ for inativo não haverá geração dos sinais $\overline{RAS}$ e $\overline{CAS}$ e consequentemente não haverá requisição à memória.

No estado II ocorrerá a geração do sinal $\overline{RAS}$ e teremos o sinal MUX em nível alto, o qual depende da linha de endereço A_{14} que selecionará as entradas "B" dos multiplexers CI's 14 e 15 endereçando as linhas das RAM's através das linhas de endereço Ao à A6 provenientes da CPU.

No estado III é realizado uma leitura na memória pela CPU e o sinal MUX irá gerar o sinal $\overline{CAS}$ e também selecionará as entradas "A" dos multiplexers CI's 14 e 15 endereçando às colunas das RAM's através das linhas de endereço A_7 à A_{13} provenientes da CPU.

No estado IV é realizado uma escrita na memória pela CPU, onde se observa que ocorrerá o endereçamento às colunas das RAM's como no estado III, mas desta vez gerado pelo sinal WR.

Obs: 1) Durante os estados II, III e IV não estava sendo gerado o sinal $\overline{RFSH}$ pela CPU, ou seja, os multiplexers CI's 12 e 13 selecionavam as entradas "B" e transpassavam às saídas "Y".

Quanto ao refrescamento das memórias será abordado a seguir.

2) A linha de endereço A_{14}, como foi citado anteriormente, comanda o sinal MUX, que através da tabela, podemos observar que somente em nível alto (A_{14}) haverá leitura ou escrita na memória (geração do sinal CAS), onde se conclui que o mapeamento da memória destinada as RAM's está acima 16Kb e abaixo de 32Kb.

Quanto ao refrescamento é utilizado um contador módulo 128 (CI 16 - SN 74LS393), para fornecer os endereços às RAM's através do sinal $\overline{RFSH}$ aplicado às entradas select dos CI's 12 e 13, ou seja, quando tivermos o sinal $\overline{RFSH}$ = 0 as entradas "A" dos CI's 12 e 13 serão transpassadas às saídas "Y" que correspondem aos 7 bits provenientes do contador CI 16.

Vejamos em mais detalhes o funcionamento do contador CI16.

O CI 16 - SN 74LS393 é formado por dois contadores módulos 16, ou seja, cada um deles contém quatro flip-flops master-slave e portanto quatro saídas, as quais fornecerão decorridos 16 pulsos de clock a contagem módulo 16.

No caso do CP 200 este contador foi projetado para contagem módulo 128 (necessário para refrescar todas as posições de memória das RAM's utilizando somente o sinal $\overline{RAS}$), e isto é feito através do sinal $\overline{RFSH}$ aplicado ao clock de um dos contadores, e ligando (curto - circuito) a saída mais significativa QD deste, ao clock do outro contador. Como as RAM's utilizam-se de sete linhas de endereço são utilizadas somente sete saídas do contador (vide fig.2).

(ao lado texto escrito á lápis no fim da folha)

MAPA DE MEMORIA
32K - expanção de RAM
16k - 16k RAM
8k - expanção 8k de ram -> SPEED 2k de eprom
4k\
2k/ - 2x 8732-chip

Memória EPROM - 16 Kb

A memória utilizada 2732 (memória de apenas leitura reprogramável) contém o sistema operacional do sistema. É uma memória completamente estática, de capacidade 4 Kb por 8 bits e saídas possíveis a threestate. A seguir, é descrito a função dos sinais de contrôle, dados e endereços da EPROM 2732:

$A_0 - A_{11}$: Bus de endereço

$D_0 - D_7$: Bus de Dados
($O_0 - O_7$)

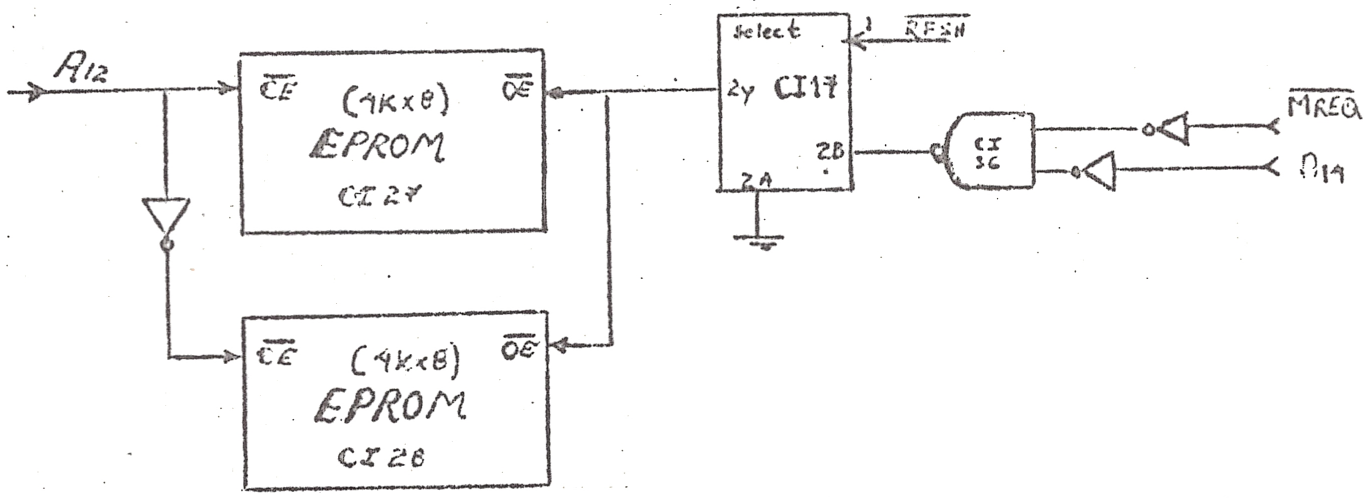
$\overline{CE}$: Chip Enable - habilita o circuito integrado

$\overline{OE}$: OUTPUT Enable - habilita um latch interno para liberação de dados.

Para o CP 200 são utilizadas duas memórias 2732 CI 27 e 28 implementadas de tal forma a constituir uma capacidade de 8K bytes. No mapeamento total da memória do CP 200 (RAM mais EPROM), o espaço destinado às memórias EPROM inicia-se em 0000 H à 2000H ou seja, os primeiros 8kb do mapeamento são destinados ao sistema operacional, contendo o programa monitor, rotina de inicialização, dots de caracteres, interpretador BASIC, etc.

A entrada de contrôle chip enable depende unicamente da linha de endereço da CPU A_{12}, ou seja, quando $A_{12} = 0$ será habilitada a EPROM CI 27 fornecendo os primeiros 4 kbytes; quando $A_{12} = 1$ será habilitada a outra EPROM CI 28 fornecendo os outros 4 kbytes, sendo que a EPROM CI 27 neste momento estará desabilitada, devido a presença do inversor CI 32. A entrada $\overline{OE}$ é controlada pelo sinal $\overline{RFSH}$ e depende dos sinais: a linha de endereço A_{14} da CPU e $\overline{MREQ}$. Quando estiver snedo feito um refrescamento das memórias dinâmicas RAM (sendo = 0), o multiplex CI 17 habilitará as saídas da EPROM, visto que a entrada 2_A está permanentemente em nível lógico baixo. Na parte relacionada ao contrôle de vídeo, é descrito a função do selecionamento da EPROM durante o refrescamento. Quando não estiver sendo feito um refrescamento o multiplex CI 17 fará com que a entrada $\overline{OE}$ dependa dos sinais $\overline{MREQ}$ e A_{14} , visto que será selecionada a entrada 2B.

Neste caso para haver uma habilitação das saídas das EPROM's é necessário termos $A_{14} = 0$, pois caso contrário, será feito um selecionamento para os 16 kbytes de memória RAM (vide observação na pag.), e o sinal $\overline{MREQ} = 0$, pois a CPU realiza uma operação de leitura na memória. Para um melhor entendimento, observe o diagrama a seguir.



Quanto ao endereçamento das EPROM's, ocorrerá também em dois momentos que dependem do refrescamento das memórias RAM's

Quando estiver ocorrendo o refrescamento, será feito um endereçamento às EPROM's para uma leitura de dot's de caracteres, para serem enviados ao vídeo, sendo este endereço formado por um código correspondente a uma tecla digitada, 4 linhas de endereço da CPU ou do teclado que estarao fixas em nível lógico baixo enquanto o cursor não variar de K para L e um contador de linhas de um caracter CI 25, onde será abordado mais adiante na parte de contrôle de vídeo. Quando não ocorrer o refrescamento, o endereçamento das EPROM's é feito pelas linhas de endereço da CPU ($A_0 - A_{11}$). Portanto pode-se concluir a função dos multiplex's CI's, 17, 18 e 19, ou seja, sabendo-se que as suas entradas de seleção dependem do sinal $\overline{RFSH}$ permitem o enderçamento das EPROM's em momentos distintos.

GERAÇÃO
DO
CLOCK

Como sinal de sincronismo do sistema, são utilizadas freqüências derivadas de um oscilador à cristal de freqüência 6,5 MHZ.
Para o clock da CPU - Z80A uma freqüência de 3,25 MHZ.

Para o sincronismo relacioando ao contrôle de vídeo, são utilizadas freqüências de sincronismo horizontal e vertical.

A freqüência de sincronismo vertical (fv ≅ 60 Hz) é gerada a partir de um circuito "A" + o bit D6 do bus de dados ou através de um circuito comandado pelos sinais IORQ, RD ou WR e Ao, onde será abordado na parte contrôle de vídeo.
Quanto a freqüência de sincronismo horizontal (fh), é proveniente de uma divisão da freqüência de 3,25 MHZ por 207 resultando uma freqüência de aproximadamente 15700 HZ.

Esta divisão é feita através de um circuito formado pelos CI's 44, 45 e 35, os quais são contadores implementados de tal maneira a conseguir a divisão desejada e apresenta também um flip-flop do tipo "RS" implementados a partir de portas NAND (CI 35).

(abaixo texto escrito á lápis na folha)

C44 e C45 contadores divisor por 207
3,25 + 207 - 15700hz. frequencia de varredura horizontal de video e o IOREQUEST

Sincronismo vertical do video é gerado por software
circuito A-> CI10 e CI42 + bit D6 do bus de dados

BIP

O bip será acionado caso tivermos uma das condições abaixo:

. a) Através do Software
. b) For digitada uma tecla
. c) Forem digitadas as duas teclas reset
. d) Quando for feita uma leitura de cassete

O acionamento do bip baseia-se no funcionamento do CI linear 555 (CI - 38 - vide descrições do CI's utilizados), o qual fornece na sua saída a alimentação ao bip quando na sua entrada trigger for atingida uma tensão superior a 1/3 de Vcc (modo monoestável).

Portanto se analisarmos as condições de acionamento do bip, podemos concluir que quando é feita uma leitura de cassete, um pulso proveniente do trem de dados é suficiente para ativar a entrada trigger do linear 555, e quando for digitada uma tecla, ou duas no caso do reset, será fixada (enquanto a tecla permanecer digitada) uma tensão acima 1/3 de Vcc.

Se for acionado através do software, é comandada através do decodificador CI 34, onde a sua Y_0, selecionada a entrada trigger do linear 555.

(O texto abaixo estava escrito á lápis na folha)

Quando o cliente reclamar do bit temos que fazer as seguintes modificações; (CP200 SPEED ja um modificado)

- Trocar IC27 por 900/53 rev.1
- Tirar os diodos D14 a D18

Isto faz com que o bip pare de tocar durante a leitura de cassete e só toque quando uma tecla for realmente aceita pelo CPU.

- Tirar o D28 para que o bip não seja acionado na hora da leitura.

OBS. A modificação da EPROM é feita somente para o teclado (as vezes o teclado ou a tecla acionava o bip e não era aceita pela CPU)

para o bip não tocar durante a leitura, basta tirar os diodos D14 a D18.

CONTROLE DE VÍDEO

Esta parte a ser abordada visa a descrição do controlador de vídeo, onde serão abordados, as velocidades de operação (fast . e slow), geração de um caracter, sinais de sincronismo e o modulador de RF.

1) Geração de um Caracter

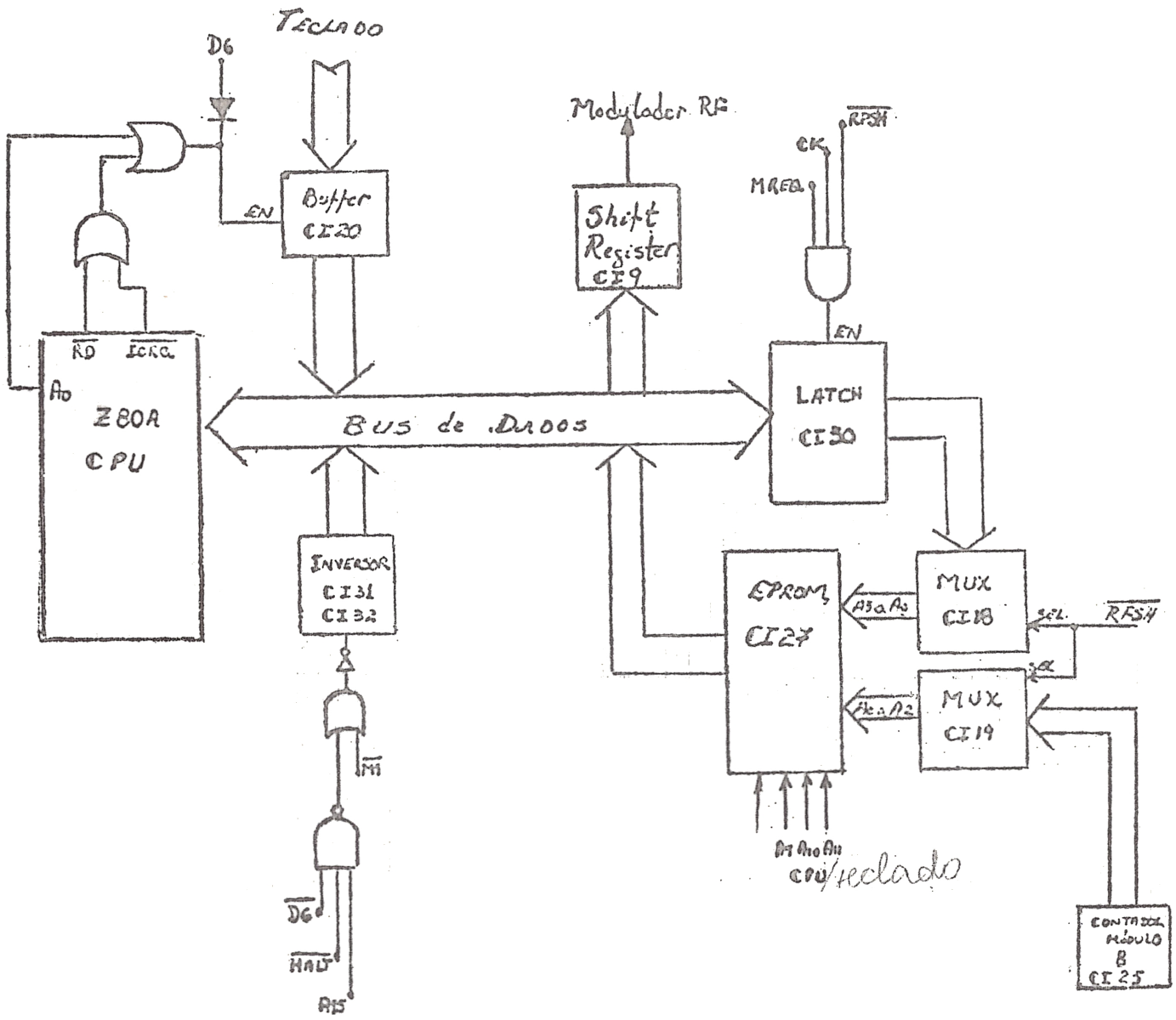
Quando for digitada uma tecla (instrução, comando, letra caracter gráfico ou função) é gerado um código correspondente a esta tecla e enviado aos buffers CI20. Neste momento a CPU realizará uma operação de leitura de algum dispositivo de entrada (teclado) e teremos os sinais A_0, D_6, $\overline{IORQ}$ e $\overline{RD}$ em níveis lógicos baixos (low), fazendo com que seja colocado no bus de dados o código correspondente a tecla digitada, através da habilitação do CI20. A seguir a CPU aramzena este código na memória RAM e o latch CI30 armazena-o também na borda de subida do clock Ø (3,25 MHZ).

É feito em seguida um ciclo de interrupção através da linha de endereço A_6, e através da rotina de interrupção INT (modo 1) teremos $D_6 = 0$, $A_{15} = 1$, $\overline{HALT} = 1$ e uma instrução EI (enable interrupt), onde no início do ciclo de busca através do sinal $\overline{M1}$ (entradas dos CI's 21 e 41) serão gerados NOP's à CPU (pois pelos inversores CI's 31 e 32 forçarão todos os bits do bus de dados em níveis baixos).

No momento em que são refrescadas às memórias, é feito um acesso à memória EPROM (dots de caracter). Esse endereço é composto por um contador de linhas de caracter CI25, o código correspondente a tecla digitada (CI 18 e CI 19) e três linhas de endereços da CPU que durante o refrescamento estarão estáveis (fixos em low). Para um melhor entendimento do que foi abordado até agora, vide o diagrama a seguir:

(O texto abaixo estava escrito á lápis na folha)

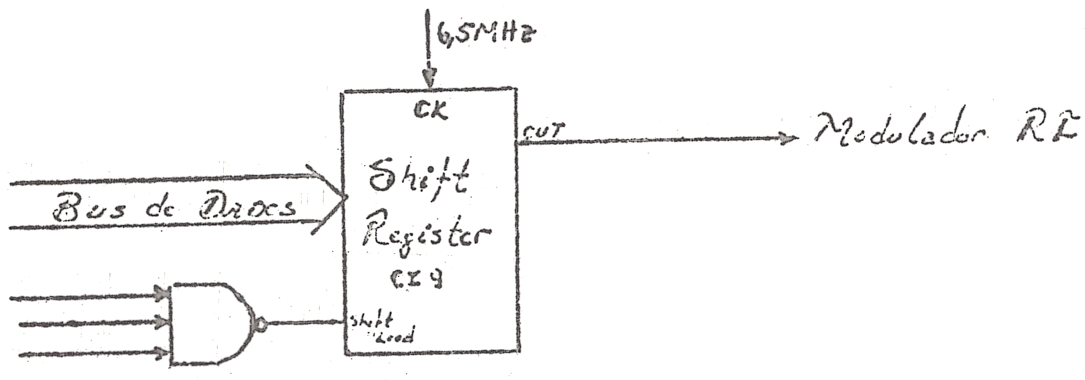
CPU mostrando video -> CPU HALT
CPU gravando video -> CPU sai de HALT


TECLADO
D6
EN
Buffer
CI20
Modulador RF
Shift
Register
CI9
RFSH
CK
MREQ
EN
RD
ICRQ
A0
Z80A
CPU
BUS de DADOS
LATCH
CI30
INVERSOR
CI31
CI32
M1
DG
HALT
A15
EPROM
CI27
MUX
CI18
MUX
CI19
A3 a A9
A1 a A2
SEL.
RFSH
A1 A10 A11
CPU/teclado
CONTROL
MÓDULO
B
CI 25

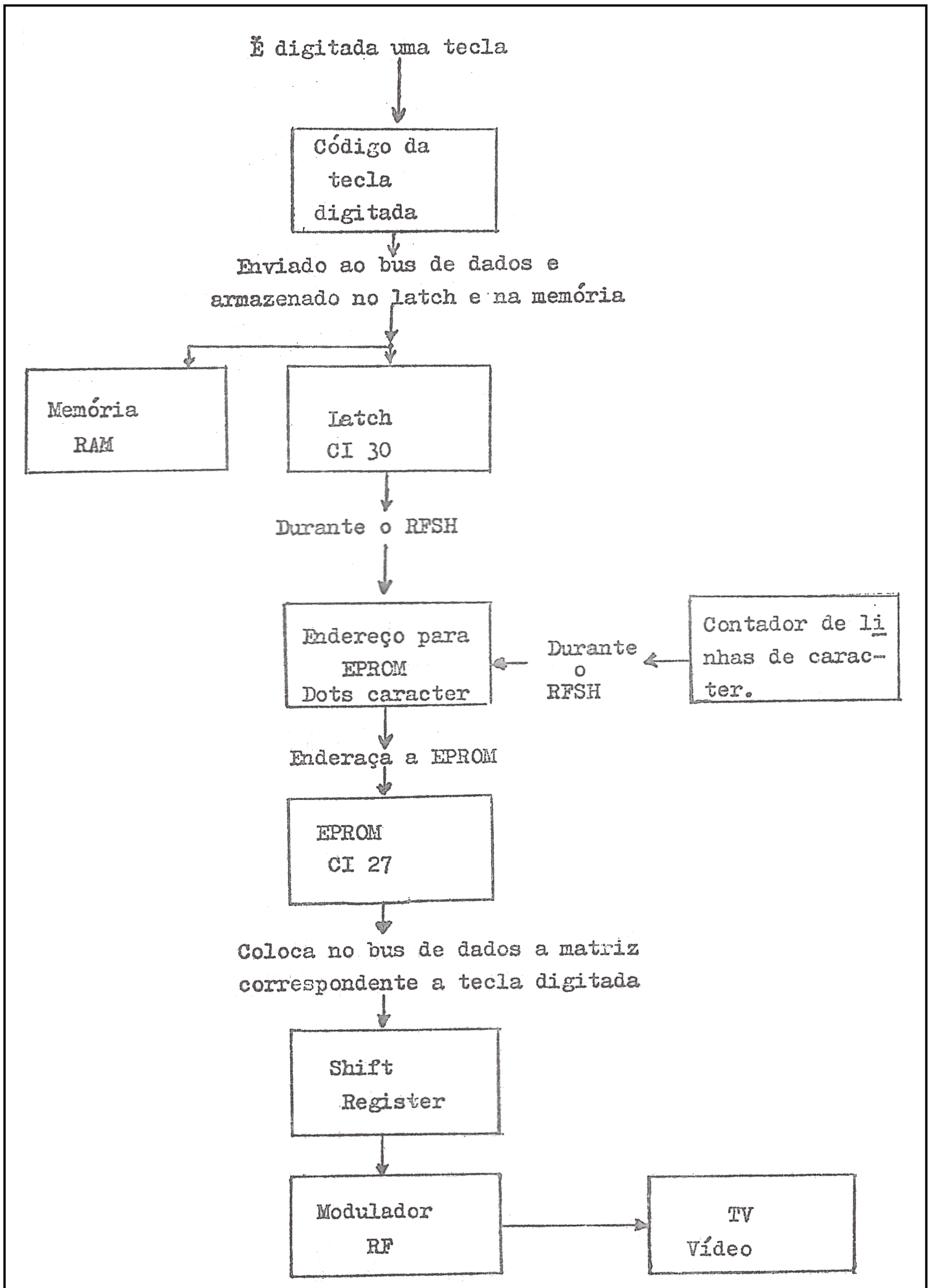
Com relação ainda ao endereçamento da EPROM vale a pena ressaltar que isto é feito durante o refrescamento, pois é utilizado o sinal $\overline{RFSH}$ para selecionamento das entradas dos multiplexers CI 18 e CI 19 (ambos SN 74 LS 157).

O contador CI 25 de linhas de caracter corresponde aos três bits menos significativos das linhas de endereço da EPROM (A_0, A_1 e A_2), pois são necessários formar oito endereços para a formação de um caracter, visto que este é composto por uma matriz 8 x 8.

A cada byte proveniente da EPROM, que corresponde a uma linha de caracter, é serializado para o modulador de RF através do shift register CI 9, onde suas entradas paralelas estão presentes no bus de dados os quais serão deslocados serialmente na freqüência de 6,5 MHZ. A entrada shift load é comandada através dos sinais de contrôle $\overline{MREQ}$, a saída 4Q do CI 30 e a borda de subida do clock Ø. Quanto aos sinais de sincronismo, estes serão abordados mais adiante.



Recapitulando e resumindo o que foi visto até o momento as seqüências de operações para a geração de um caracter é a seguinte:

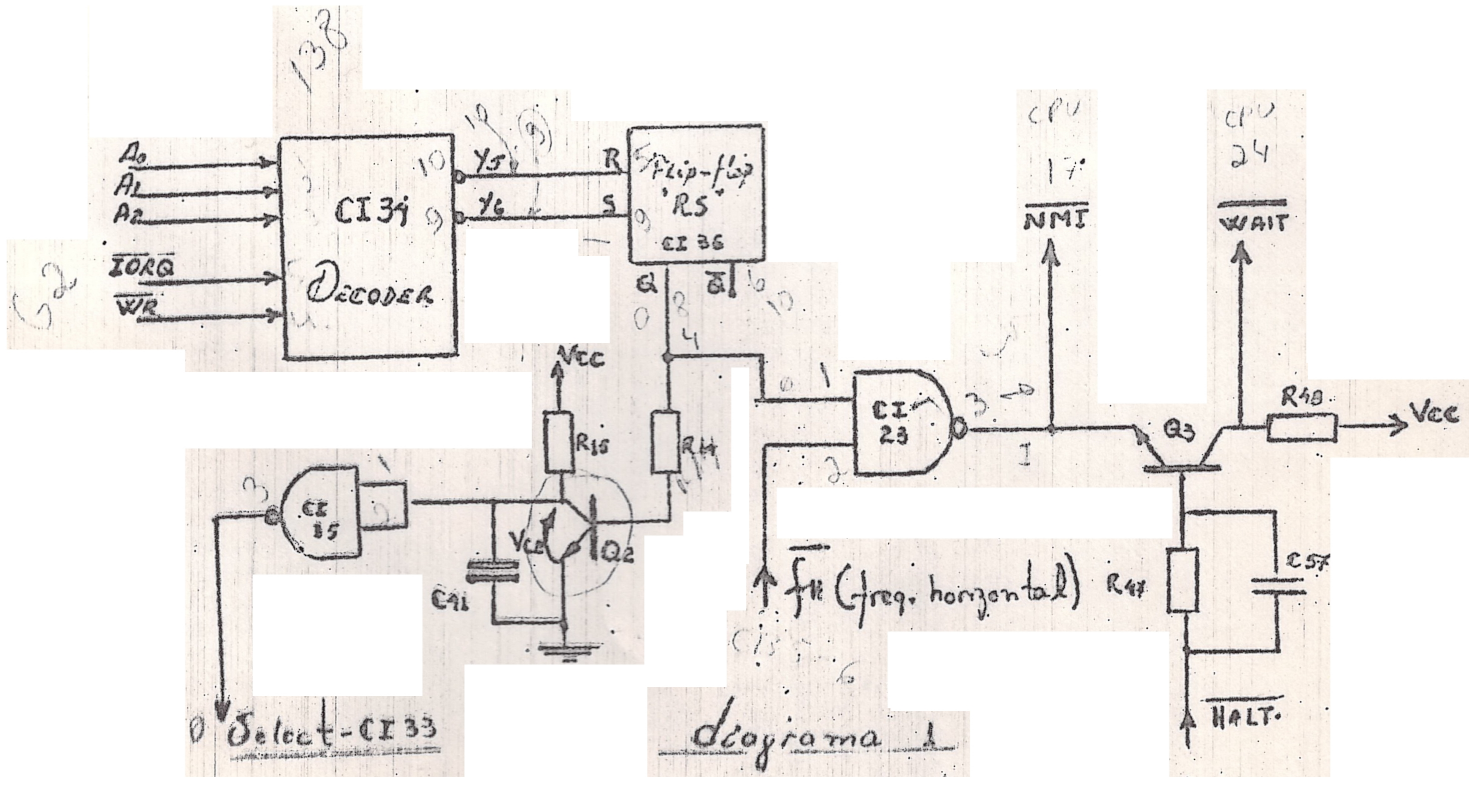

É digitada uma tecla
Código da tecla digitada
Enviado ao bus de dados e armazenado no latch e na memória
Memória RAM
Latch CI 30
Durante o RFSH
Endereço para EPROM Dots caracter
Durante o RFSH
Contador de linhas de caracter.
Enderaça a EPROM
EPROM CI 27
Coloca no bus de dados a matriz correspondente a tecla digitada
Shift Register
Modulador RF
TV Vídeo

2) Velocidades de Operação

Como sabemos, a velocidade de operação no modo fast é cerca de quatro vezês mais veloz em relação ao modo slow, sendo uma das diferenças em relação ao NEZ 8000 (apresenta somente o modo fast). O modo slow apresenta porém vantagens quanto a fixação do vídeo, facilitando também em certos tipos de programas como jogos. No modo fast o vídeo é desligado durante o processamento e apresentado apenas ao fim de um programa, enquanto aguarda por dados de entrada ou durante uma pausa. No modo slow no qual o CP 200 opera normalmente, o vídeo é gerado continuamente, enquanto a computação é executada durante os períodos de apagamento, na parte superior e inferior do vídeo (imagem).

O circuito referente a mudança entre as velocidades de operação baseia-se em um multiplex CI 33 (SN 74 LS 157), o qual seleciona as velocidades de operação através da sua entrada select, comandada por um decodificador CI 34 (SN 74 LS 138)

Como sabemos a opção das velocidades de operação é feita pelo programador, e no hardware, isto corresponde a uma seleção através de três linhas de endereço da CPU A_0, A_1 e A_2, aplicadas às entradas de variáveis de seleção do decodificador CI 34, como mostra o diagrama 1 abaixo:



(marcações originais á lápis)

É utilizada uma instrução OUT com um determinado endereço para a geração dos sinais ao decodificador, ou seja, gera os sinais $\overline{IORQ}$ e $\overline{WR}$ em níveis lógicos baixos (low) e os respectivos endereços para selecionar as saídas Y_5 ou Y_6. O flip-flop do tipo "RS" representado no diagrama 1, na verdade são duas portas NAND's - CI 36 - implementadas de tal forma a funcionarem como um flip-flop do tipo "RS", onde estarão presente neste circuito freqüentemente.

Através da tabela a seguir podemos compreender melhor o contrôle do sinal aplicado a entrada select do CI 33 para seleção das velocidades de operação:

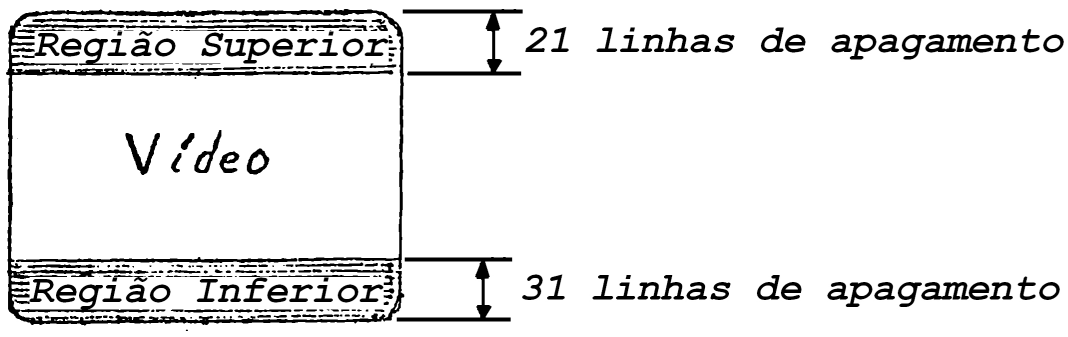
ENDEREÇOS			CI 39		CI 36		CI 33	
A_0	A_1	A_2	Y_5	Y_6	Q	$\overline{Q}$	select	
0	0	1	1	1	Q_o	Q_o	S_o	
0	1	1	1	0	1	0	1	→ SLOW
1	0	1	0	1	0	1	0	→ FAST
1	1	1	1	1	Q_o	Q_o	S_o	

Q_o → estado anterior

S_o → estado anterior

A linha de endereço A_2 como podemos observar, indiretamente não vem a ser fator de seleção de velocidades, sendo usado para o circuito referente ao acionamento do bip através do software (vide bip). O transistor Q_2 opera como "chave", ou seja, quando tivermos a saída Q=0 o transistor Q_2 entrará em corte, fazendo com que sua tensão entre coletor e emissor (Vce ≅ Vcc) forneça nível lógico baixo à entrada select do CI 33. Quando Q = 1, analogamente a análise anterior, teremos nível lógico alto à entrada select.

Ainda analisando o diagrama 1, observa-se que quando for selecionada a saída Y_5 (out FD), a saída Q do flip-flop estará em nível alto, fazendo com que a cada pulso proveniente da freqüência horizontal de vídeo (fh = 15 700 Hz), seja gerado o sinal de interrupção a CPU do tipo NMI. Recordando a você com relação ao sinal NMI, este faz com que a CPU interrompa o seu processamento normal e realize uma rotina (para o nosso caso uma rotina de vídeo) no endereço 0066 H. Essa rotina de NMI faz com que o programa seja realizado durante uma das 31 linhas das regiões de apagamento destinada ao processamento, como mostra a figura abaixo:



Essa rotina de NMI apresenta também um programa para posicionamento das regiões de apagamento na tela, ou seja, um programa que conta as 31 linhas de apagamento para que possa saber em que posição na tela seja iniciado a amostragem de vídeo.

Quando for selecionado a saída Y_6, a saída Q do flip-flop, inibirá a geração da interrupção NMI, e conseqüentemente o processamento se realizará somente no fim de um programa, sendo necessário neste instante, um desligamento da amostragem de vídeo.

Finalmente, concluímos que a seleção da saída Y_5 do decodificador CI 34 corresponde ao modo slow, devido a geração do sinal NMI a cada pulso de sincronismo horizontal em determinadas regiões da tela, e a seleção da saída Y_6 corresponde ao modo fast, inibindo a geração do sinal NMI.

Neste momento o leitor poderá estar entusiasmado com o contrôle de vídeo do CP 200, caso contrário tenha paciência, pois após a parte relacionada aos sincronismos à tv, você já estará quase se tornando mestre no CP 200.

3) Sinais de Sincronismos

Como foi citado anteriormente, o multiplex CI 33 era a base para o contrôle das velocidades de operação, mas isto, referente a parte de sincronismos a tv, os quais veremos a partir deste momento.

Através da tabela anterior, observa-se que a entrada select do multiplex CI 33 estará em nível baixo para o modo fast e em nível alto para o modo slow. Portanto todas as entradas "A" deste multiplex serão destinadas ao modo fast e todas entradas "B" ao modo slow. Vejamos portanto, a que se refere cada uma das entradas e suas saídas.

Saída 1y

Entrada 1A — IORQ (fast)
Entrada 1B — fh (slow)

Uma dessas entradas serão aplicadas a um circuito "A", formado por flip-flops (CI 10 e CI 42), quesincronizado com o sinal M_1 gerará os sinais de sincronismo horizontal e vertical, sendo ambos sobrepostos na mesma saída.

Osciloscópio:

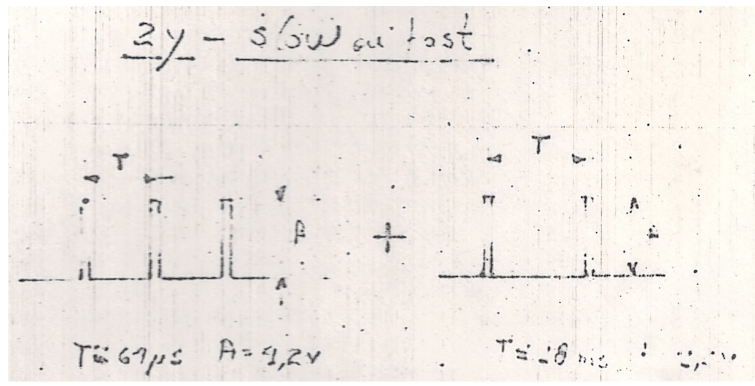


Saída 2y

Entrada 2A — saída do circuito "A" (fast)
Entrada 2B — Combinação entre os sinais $\overline{IORQ}$, $\overline{RD}$ ou $\overline{WR}$ e A_0 mais a freqüência fh.

Uma dessas entradas fornecerá os sinais de sincronismo à TV, ou seja , os sinais de sincronismo horizontal e vertical (sobrepostos) estarão presentes na saída 2y para serem aplicados ao transistor Q_4 (como aplificador) e logo após somado com o sinal de vídeo proveniente do shift register CI 9.

Osciloscópio:

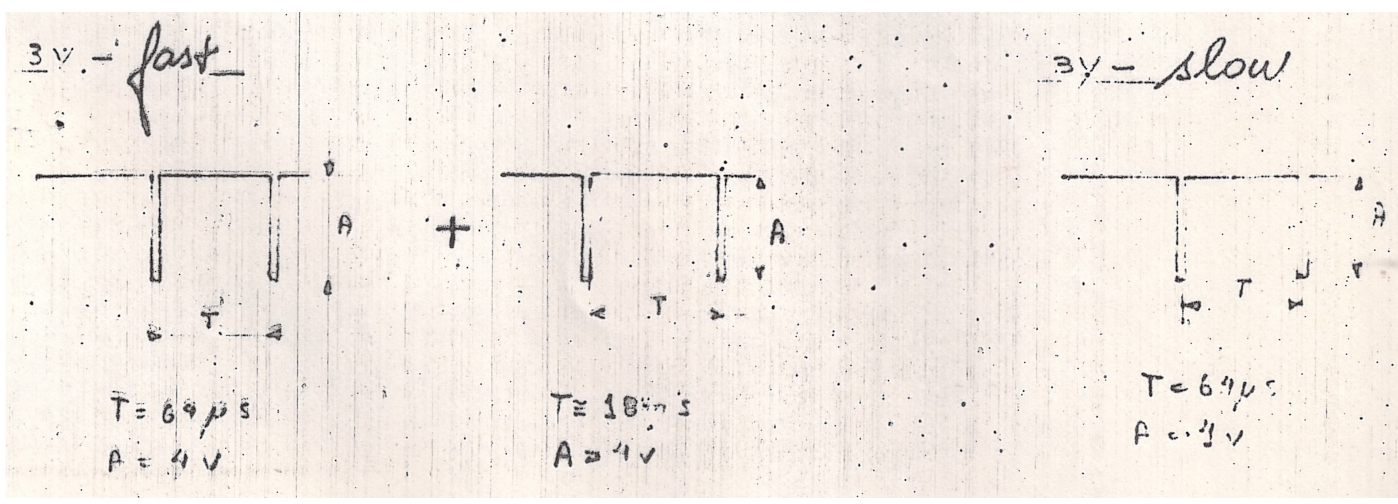


Saída 3y

Entrada 3B — fh (slow)
Entrada 3A — saída do circuito "A" (fast)

Esta saída 3y fornece o clock para o CI 25, o qual é responsável pela contagem de linhas de um caracter.

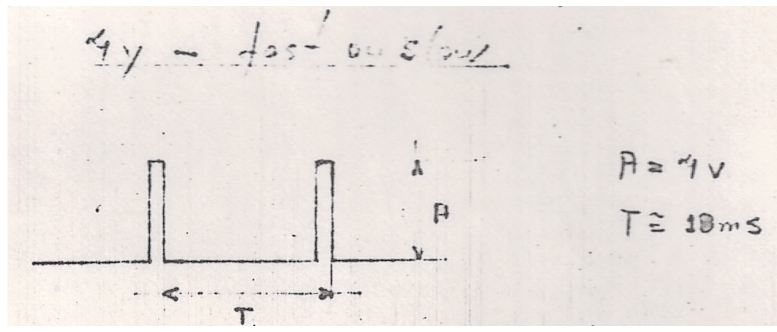
Osciloscópio:

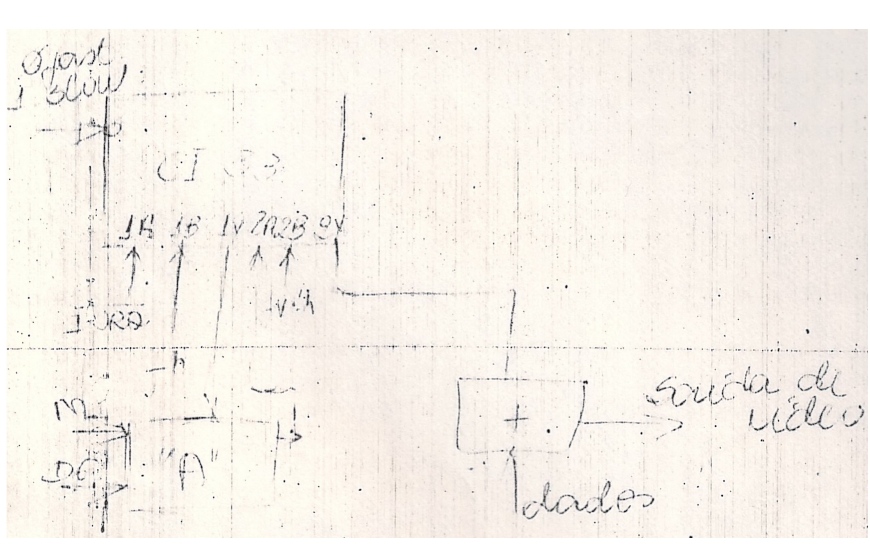


Saída 4y

Entrada 4A —— fv
Entrada 4B —— fv

As entrada 4A e 4B dependem dos sinais $\overline{IORQ}$, $\overline{RD}$ ou $\overline{WR}$ e A_0, os quais geram uma freqüência equivalente a freqüência de sincronismo vertical fv (aproximadamente 60Hz). A saída 4y é utilizada para resetar o contador de linhas de um caracter.





INTERFACE PARA CASSETE

Leitura do Cassete - Cass IN

O sinal proveniente do cassete, com um nível de tensão conveniente, é aplicado a um filtro e a um amplificador operacional CI 26, de modo a operar como quadrador de onda, melhorando a qualidade do sinal.

Logo após, o sinal é aplicado a dois inversores que são sensíveis a determinados níveis de tensão (schimitt trigger), ou seja, agem como eliminadores do ruído. Em seguida o sinal é aplicado ao bit D_7 do bus de dados.

A presença do amplificador operacional vem a ser uma diferença em relação ao NEZ 8000, o qual não apresentava-o, tornando maior a confiabilidade da leitura do cassete.

Gravação no Cassete - Cass Out

A gravação de dados ou programas em fita cassete, é controlado exclusivamente pelo software, através dos sinais M_1, IORQ e a freqüência de sincronismo horizontal sendo utilizado para a gravação os CI's 10, 42 e 33

(abaixo texto escrito á lápis na folha)

mudanças feitas no CP200 antigo para que ele
leia com velocidade maior.

estas mudanças ja vem prontas.

TECLADO

Teclado

É constituído de 43 teclas plásticas de contatos do tipo borracha condutora, montado em um perfil de ferro que traz impresso as funções de cada tecla.

O teclado é formado por uma matriz 8x5 totalizando 40 teclas (obs: as teclas reset são independentes desta matriz e possui duas teclas shift). Essa matriz é comandada através de oito linhas de endereço da CPU que fazem uma varredura no teclado. Quando for digitada uma tacla, é gerado portanto um código correspondente a essa tecla e enviado aos buffers CI 20.

O acionamento do bip através de uma tecla digitada, é feito através da polarização direta de um dos cinco diodos que ativam a entrada trigger de um monoestável (linear 555), o qual comanda um transdutor sonoro , os quais vem a saber D_{14}, D_{15}, D_{16}, D_{17} e D_{18}.

Quanto a divisão do teclado referente ao software, o mesmo está dividido em seções horizontais e verticais, cada uma contendo cinco teclas (excluíndo a tecla shift), sendo que quando for digitada uma tecla, é gerado um código referente a esta tecla e armazenada nos registradores HL e SP da CPU.

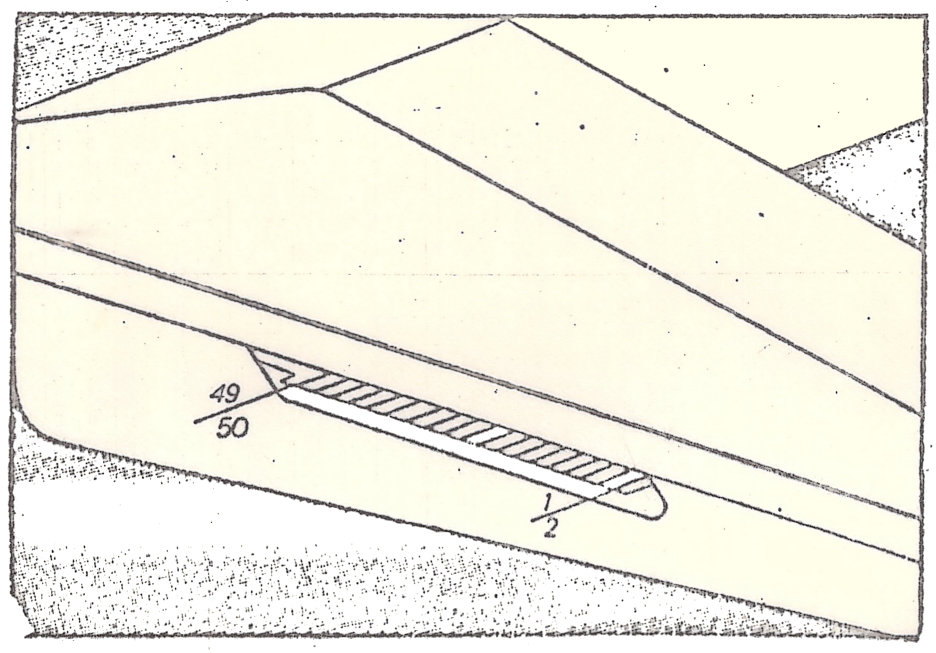
Como sabemos apenas uma tecla do CP 200 é capaz de gerar até cinco contrôles, ou seja, um comando, instrução, letra, caracter gráfico ou função. A diferenciação de um destes contrôles pela CPU, é explicada pelo fato de que quando for digitada a tecla shift será formado diferentes códigos para serem armazenados nos registradoses HL e SP.

BUS
DE
I/O

Bus de I/O

O CP 200 possui um bus de I/O (conector lateral), que fornece todos os sinais necessários para se ter acesso direto ao microprocessador. Será utilizado para futuras expansões tornando ilimitado o campo de aplicação do CP 200.

A seguir é dado um esquema do conector e uma tabela identificando os sinais correspondentes a cada contato:



INFERIOR		SUPERIOR	
N.C.	50	A3	49
N.C.	48	D7	47
N.C.	46	D6	45
N.C.	44	D5	43
N.C.	42	D4	41
N.C.	4Ø	D3	39
$\overline{WAIT}$	38	D2	37
A14	36	D1	35
$\overline{BUSRQ}$	34	DØ	33
A8	32	A7	31
A2	3Ø	A15	29
A12	28	AØ	27
A1Ø	26	A1	25
A9	24	A6	23
A11	22	A4	21
$\overline{BUSAK}$	2Ø	$\overline{RFSH}$	19
$\overline{M1}$	18	GND	17
A13	16	GND	15
$\overline{WR}$	14	GND	13
$\overline{HALT}$	12	GND	11
$\overline{RD}$	1Ø	CLOCK	9
$\overline{MRQ}$	8	A5	7
$\overline{IOR}$	6	C.S. RAM *(N/U)	5
N.C.	4	N.C.	1
N.C.	2	N.C.	1

* não é utilizado no CP200 antigo
(ver nova pinagem)

N.C ⟶ Não conectado

GND ⟶ terra

$\overline{WAIT}$
$\overline{BUSRQ}$
$\overline{BUSAK}$
$\overline{M1}$
$\overline{WR}$
RD
$\overline{HALT}$
MRQ
IORQ
$\overline{RFSH}$
CLOCK

⟶ Sinais de contrôle da CPU - Z80A

$A_{\emptyset}$ a A_{15} ⟶ Bus de endereço da CPU - Z80A

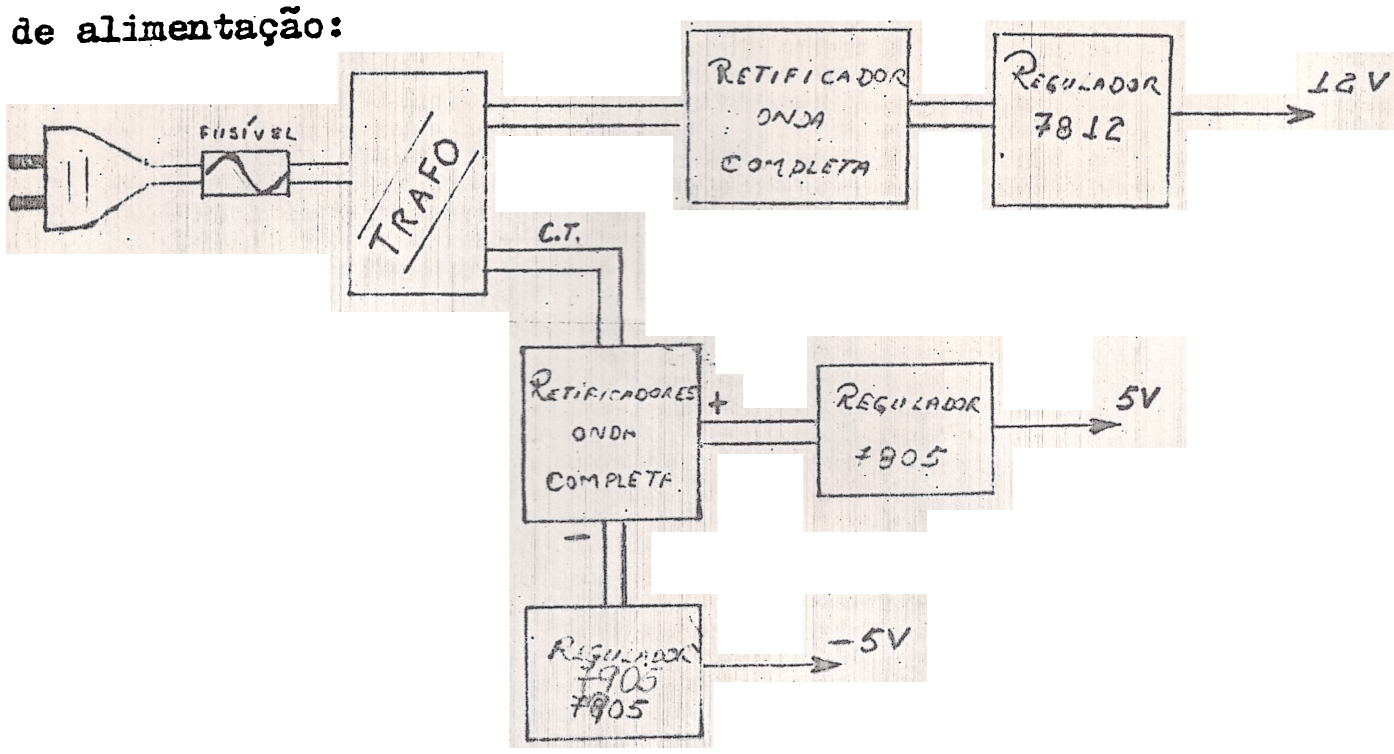
$D_{\emptyset}$ a D_7 ⟶ Bús de dados da CPU - Z80A

C.S. RAM ⟶ Chip select RAM (saída)

FONTE
DE
ALIMENTAÇÃO

Fornece as tensões de 12v, +5v e -5v.

Abaixo é dado um diagrama de blocos representativo de fonte de alimentação:



O sinal de rêde, após um fusível de proteção, é aplicado ao primário de um transformador e possui no seu secundário duas saídas, uma para o fornecimento dos 12v e outra com center-tap para o fornecimento das tensões de 5v e -5v.

Para fornecer a tensão de 12v, é utilizado na saída do transformador um retificador onda completa do tipo ponte de diodos e um regulador de tensão 7812.

Quanto ao fornecimento das tensões de 5v e -5v, são utilizados dois retificadores onda completa, e devido ao center-tap existente no transformador (defasagem), é possível aplicarmos tensões positivas e negativas aos reguladores de tensão 7805, e consequentemente teremos as tensões de saída: 5v e -5v.

Quanto a tolerância de tensão desta fonte é de ±5%.

A tabela abaixo estava escrita á Lápis em folha avulsa.

Modificações para melhorar imagem feitas no modulador de RF.

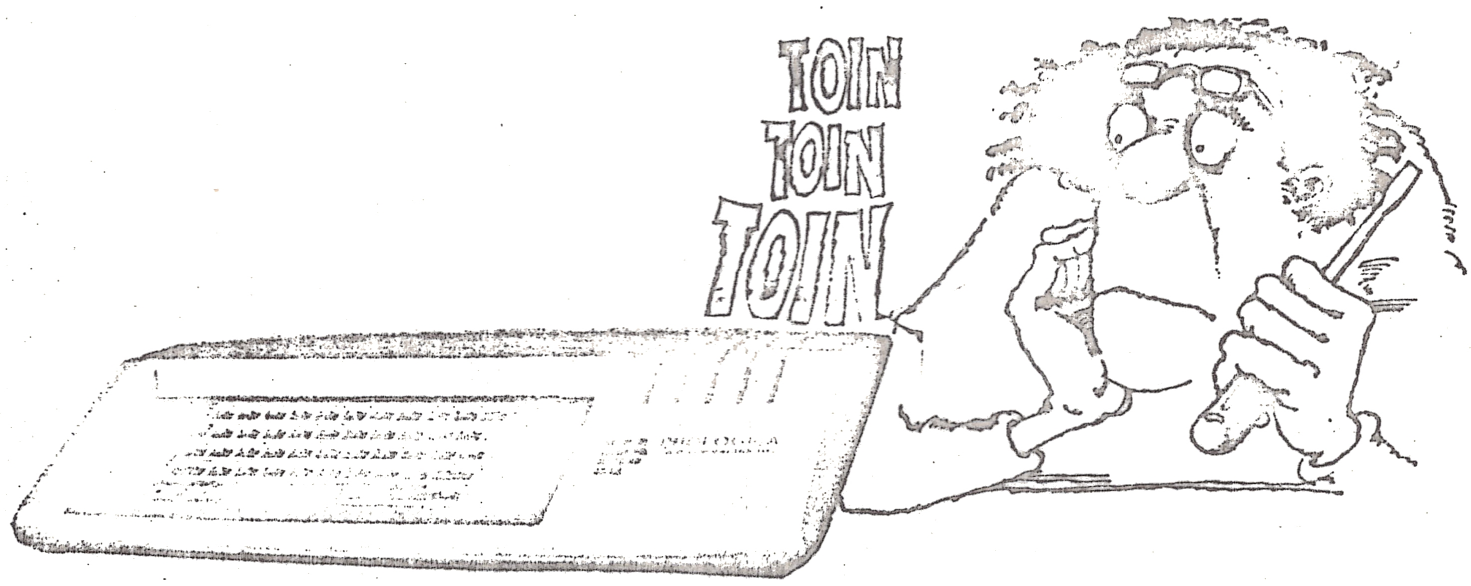
Resistor	Valor Antigo	Valor Atual
R5	220Ω 1/8W 5%	470Ω
R6	3,3KΩ	750Ω
R7	1,2KΩ	470Ω
R9	2,2KΩ	22Ω

Resistores fora do Modulador

Resistor	Valor Antigo	Valor Atual
R44	2,2KΩ	470Ω
R45	1KΩ	750Ω
R46	5,6KΩ	2,7KΩ

MANUTENÇÃO

Esta seção tem como objetivo maior, facilitar reparos mais comumentes no CP 200, através de sinais importantes, que podem ser relacionados com a base teórica já vista. Será de proveito para dar ao técnico uma noção de como inicializar uma reparação ao CP 200, visto que, para se localizar determinados defeitos, o reparo pode tornar-se bastante complexo, sendo levado em consideração o bom senso e a qualidade técnica do responsável. No momento não existe uma EPROM de teste.



Como instrumentos necessários para uma reparação, pode-se utilizar um osciloscópio, ou um analisador de níveis lógicos, um multimetro, e um frequêncimetro, mais os acessórios indispensáveis à uma manutenção (ferro de solda, alicates, etc.).

Alguns problemas que poderão surgir, como ausência de vídeo, ou não inicialização do sistema, podem tornar-se complexos em termos de reparação, sendo somente abordado neste capítulo os possíveis CI's danificados, problemas mecânicos, onde deverá levar-se em consideração, a verificação das condições de funcionamento dos componentes passivos.

A seguir serão dados alguns passos a serem tomados para a rèparação do CP 200:

a) Faça as seguintes verificações na placa spok com o CP 200 desligado:

Obs: Antes de verificar os itens a seguir, observe se através de uma pequena inspeção visual, seja possível encontrar curtos-circuitos de solda.

a.1) Verifique se não há curto-circuitos entre as alimentações da placa (+ 5v, - 5v, + 12v e GND).

Exemplo: Entre os pinos 1, 8, 9 e 16 de uma das memórias RAM dinâmicas 4116.

a.2) Verifique se não há curtos-circuitos entre os 8 pinos do bus de dados da CPU.

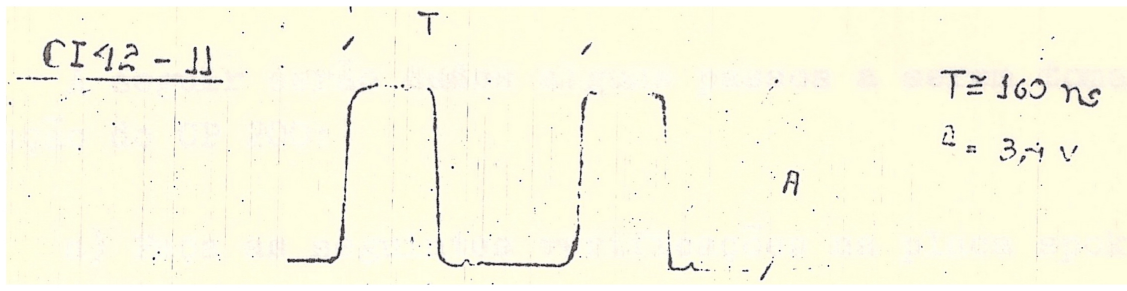
a.3) Verifique se não há curtos-circuitos entre os 16 pinos do bus de endereços da CPU.

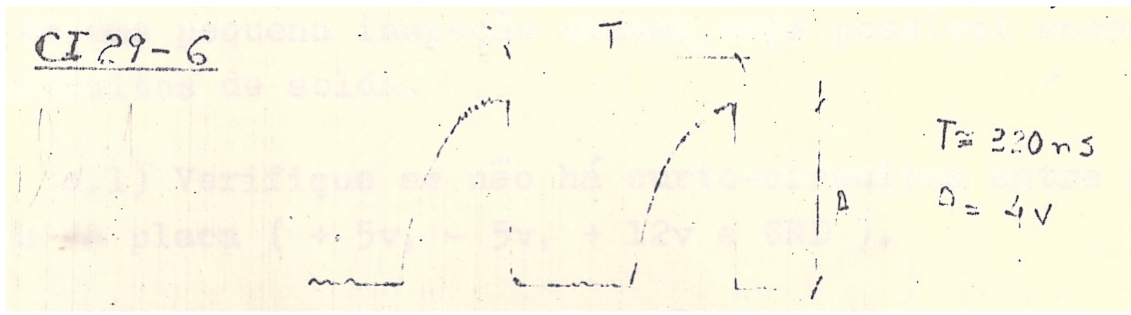
a.4) Verifique se não há curtos-circuitos entre cada um dos 8 pinos do bus de dados com os 16 pinos do bus de endereços da CPU.

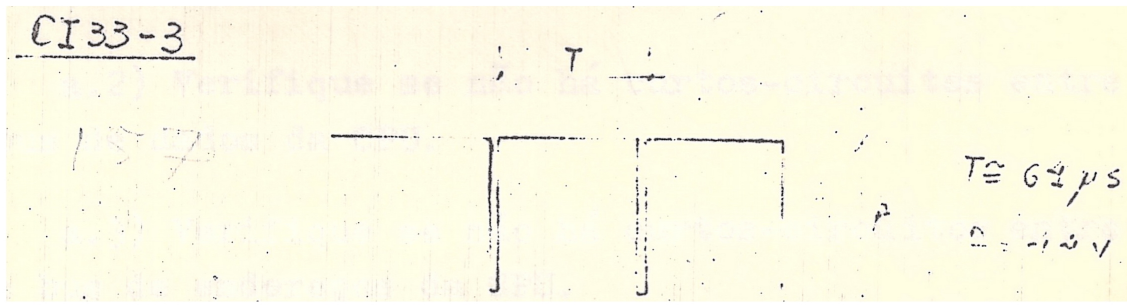
b) Faça as seguintes verificações na placa spok com o CP 200 ligado:

b.1) Aperte ambas as teclas de reset e verifique se o pino 26 da CPU vai para nível lógico baixo (low).

b.2) Verifique o funcionamento do oscilador a cristal.







Caso não encontre os sinais citados, verifique:

Para o CI 42-11: As condições do cristal e do CI 43

Para o CI 29-06: As condições do divisor por 2 (CI 42) e o CI 32.

Para o CI 33-03: As condições dos CI's 35, 37, 44, e 45.

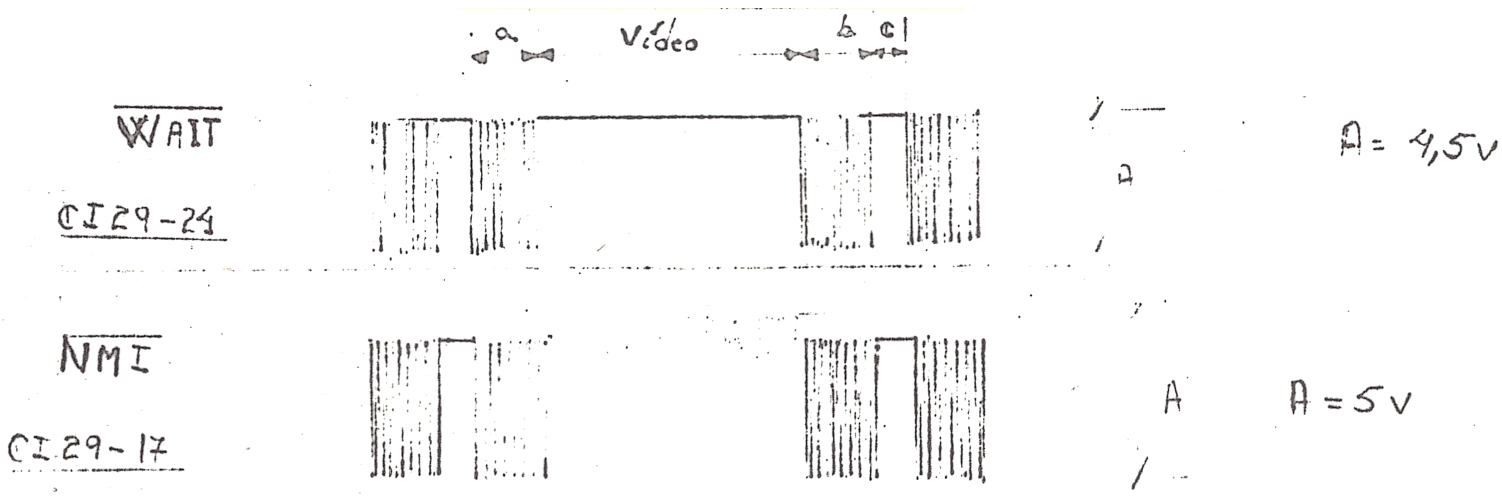
b.3) Verifique se apertando o botão de reset, as linhas de dados de endereços da CPU ficam em tri-state.

b.4) Verifique os sinais de $\overline{\text{WAIT}}$ e $\overline{\text{NMI}}$ da CPU, pinos 24 e 17 respectivamente.

a ⟶ 31 linhas deapagamento horizontais da região superior da tela para processamento.

b ⟶ 31 linhas de apagamento horizontais da região inferior da tela para processamento.

c ⟶ Retraço vertical.



Obs: Os sinais $\overline{NMI}$ e $\overline{WAIT}$ apresentados, são válidos para o modo slow.

Caso não consiga obter os sinais desejados, verifique as condições do transistor Q_3, C_{57}, R_{47}, R_{48}, CI 23, CI 36 e CI 34 (vide contrôle de vídeo - diagrama 1 - pag. 52).

b.5) Verifique se no momento do reset os sinais de contrôle da CPU - Z80A, ficam em níveis lógicos altos (High) ($\overline{RD}$, $\overline{WR}$, $\overline{MRQ}$ $\overline{RFSH}$, $\overline{NMI}$, $\overline{IORQ}$ e M1):

b.6) Verifique se não há curto-circuitos entre os pinos do bus de dados e endereços das RAM's e EPROM's. Verifique também a presença dos sinais de $\overline{CE}$ e $\overline{OE}$ das EPROM's e $\overline{RAS}$, $\overline{CAS}$ e $\overline{WE}$ das RAM's.

Quando fixo o reset, todas as saídas Do (pino 14 das RAM's) ficam em tri-state.

b.7) Verifique à presença do sinal $\overline{RFSH}$ nas entradas selects dos multiplex's CI's 17, 18, 19, 12, 13 e 16.

b.8) Verifique os sinais a seguir:

Modo fast ⟶ CI 33 - 1 em nível lógico baixo (low).
Modo slow ⟶ CI 33 - 1 em nível lógico alto (high).

Caso não consiga, verifique as condições do CI 33, CI 35, CI 36, CI 34, transistor Q_2 e C_{41}.

b.9) Através dos sinais observados na parte teórica do ' contrôle de vídeo, compare-os com o do seu CP 200 (pags. 55,56 e 57)

Problemas de acionamento do bip:

b.10) Verifique o funcionamento do linear 555 (CI 38), ou seja, observe se ocorre variações na entrada trigger (pino 2) e conseguentemente em sua saída (pino 3), quando for digitada uma' tecla, ou leitura do cassete, ou através de software. Observe as ' condições do transdutor.

Caso uma das condições de acionamento do bip não for satisfeita, verifique as condições dos diodos a elas relacionadas.

Problemas no Teclado:

b.11) Certifique-se das condições dos diodos D_{19} a D_{21} e D_{25} a D_{29}.

b.12) Verifique as condições dos CI's 20 e 21.

b.13) Verifique as condições do flex-lok entre a placa spok e a placa PTL - 05 (mal contato, curto-circuito):

b.14) Excluíndo a possibilidade do problema estar presente na placa spok, verifique as condições dos jumpers contidos na ' placa PTL-05 e por último, as condições das borrachas condutoras.

Problemas de Vídeo:

b.15) Certifique-se das condições de funcionamento do modulador de RF.

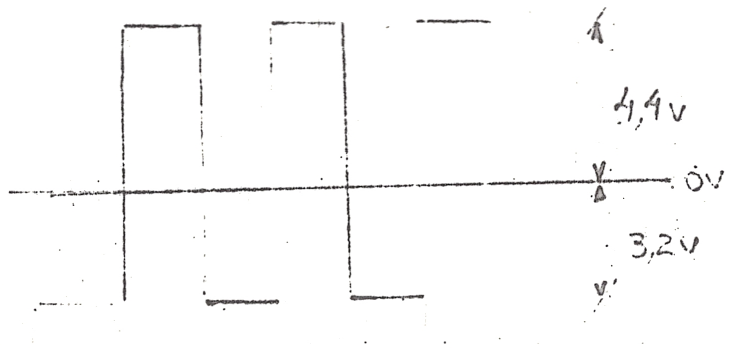
Caso a imagem esteja péssima, verifique a calibração do modulador de RF, através da bobina variável L2.

b.16) Caso não houver imagem, ou seja, o sistema não inicializa, sendo considerado como uma reparação mais complexa, sabendo-se que as EPROM's e a CPU estão em perfeito funcionamento, os sinais de sincronismo a TV estão presentes, verifique as condições dos CI's que estão diretamente relacionados ao contrôle de vídeo, os quais vem a saber: CI's 9, 17, 18, 21, 24, 25, 30, 31, 32, 33 e 41.

Problemas de Leitura Cassete:

b.17) Verifique os níveis de tensão no CI 26 - 6 e CI 37 - 10, ou seja:

CI 26 - 6



CI 37 - 10



Verifique as condições do funcionamento do CI 20.

Problemas de gravação no cassete:

b.18) Verifique o funcionamento dos CI's 33 (pino 4), 10 e 42.

PROLOGICA
microcomputadores

LISTAGEM
DE
COMPONENTES

1) Placa SPOCK Rev.0

Circuitos Integrados

Posição no Circuito	Descrição do CI
CI - 1,2,3,4,5,6,7 e 8	M C M 4116 - 15 Motorola Obs: Tempo de acesso máx. 250 ns
CI - 9	74 LS 165
CI - 10 e 42	74 LS 74
CI - 11 e 21	74 LS 32
CI - 12,13,14,15,17,18, 19 e 33	74 LS 157
CI - 16 e 45	74 LS 393
CI - 20	74 LS 365
CI - 23,22,36,39 e 40	74 LS ØØ
CI - 24	74 LS Ø4
CI - 25 e 44	74 LS 93
CI - 30	74 LS 373
CI - 32	74 LS 05
CI - 31	74 LS 05
CI - 34	74 LS 138
CI - 35	74 LS 132
CI - 37	74 LS 14
CI - 41	74 LS 10
CI - 43	74 LS 86
CI - 26	µA 741

Circuitos Integrados.

Posição no Circuito	Descrição do CI
CI - 27 e 28	2732 - 1 Intel tempo de aces. máx. 450 ns.
CI - 29	Z80 A - CPU
CI - 38	Linear 555
CI - 46	Regulador 7805
CI - 47	Regulador 7905
CI - 48	Regulador 7812

RESISTORES

Obs: Todos os resistores são de 1/8w - tolerância 5% carvão

Posição no Circuito	Valor
$R_1, R_{12}, R_{20}, R_{21}, R_{25}, R_{26}, R_{27}, R_{28}, R_{29}, R_{30}$ $R_{31}, R_{32}, R_{34}, R_{35}, R_{36}, R_{37}, R_{38}, R_{39}, R_{40},$ $R_{43}, R_{45}, R_{48}, R_{49}, R_{52}$	1 KΩ
R_2, R_3, R_{33}, R_{51}	330 Ω
$R_4; R_{16}, R_{17}, R_{23}$	1,5 KΩ
R_5	220 Ω
R_6	3,3 KΩ
R_7	1,2 KΩ
R_8, R_{19}	470 Ω
R_9, R_{44}	2,2 KΩ
R_{10}	180 Ω

Resistores

Posição no Circuito	Valor
R_{11}, R_{53}, R54	47 KΩ
R_{13}, R_{46}, R_{50}	5,6 KΩ
R_{14}	4,7 KΩ
R_{15}, R_{24}	220 KΩ
R_{18}, R_{41},	1MΩ
R_{22}	100 KΩ
R_{42}	56 KΩ
R_{47}	10 KΩ

CAPACITORES

POSIÇÃO no CIRCUITO	DESCRIÇÃO do CAPACITOR
C_1 a C_{17}, C_{27} a C_{34}, C_{36} a C_{38}, C_{46}, C_{50} a C_{52}, C_{59} a C_{68}	Disco 0,1μF x 25v -20% / + 80%
C_{18}, C_{56}	Disco NPO 33pF x 500v ± 10% ref. GLC - Thonson
C_{19}, C_{44}, C_{57}, C_{58}	Disco 47pF x 500v ± 10% NPO ref. GLC Thonson
C_{20}, C_{24}	Disco 10pF x 500v ± 10% NPO ref. GLC Thonson
C_{21}	Disco 39pF x 500 ± 10% ref. GLC NPO - Thonson
C_{22}	Disco 4,7pF x 25v -20% / + 50%
C_{23}, C_{40}, C_{42}, C_{43} e C_{55}	Disco 270pF x 500v ± 10% GLF Thonson
C_{25}	Disco 5,6KpF x 500v GLX -20% / + 50% Thonson
C_{26}	Disco 10KpF x 16v ± 20%
C_{35}	Eletrolítico Radial 1000μF x 25v -10% / +50% Siemens *(nova montagem 40V)*
C_{41}, C_{48},	Eletrolítico Radial 4,7μF x 16v -10% /+100%
C_{45}	Eletrolítico Radial 2200μF x 25v -10% /+50%

Capacitores

Posição no Circuito	Descrição do Capacitor
C_{49}	Eletrol. Radial 1μF x 16v -10% /+100%
C_{53}	Eletrol. Radial 22μF x 16v -10% / +100%

Diodos

Posição no Circuito	Descrição do Diodo
D_1, D_2, D_3, D_4, D_{13} à D_{36}	1 N 4148
D_5 à D_{12}	1N 4001

Transistores

Posição no Circuito	Descrição do Transistor
Q_1	BF - 199
Q_2 e Q_3	2N 2222 A
Q_4	BC 237

Bobinas

Posição no Circuito	Descrição da Bobina
Dv_1	bobina de RF - Construído com 0,1m de fio esmaltado 30 WG, com seis voltas ao redor de um fio de Ø 2mm
Dv_2	bobina de RF - Spock 4 espiras fab. ETT

Conectores

Posição no Circuito	Descrição do Conector
CN - 1 e CN - 3	Minimodular 5 pinos ref. 2,5 M Ø F - 5 fab. Celis
CN - 2	Minimodular 3 pinos ref. 2,5 M Ø F - 3 fab. Celis
CN - 4	Flex lok 15 vias ref. HBLB 15 Ø 1 fab. Burndy

Outros

Posição no Circuito	Descrição
DP - 1	Dissipador ref. 180026 fab. Rosvlad (To - 220)
Ø Q - 24p	O2 - Soquete para CI - 24 pinos ref. ØPT - 12Ø fab. Celis
Ø - 40p	O1 - Soquete para CI - 40 pinos ref. ØPT - 20Ø fab. Celis
X tal - 1	Cristal 6,5 MHZ tipo encapsulamento HC 18/ U

2) Placa PTL - 05 e Cabeações Rev. 0

Componentes	Descrição
Dv - 1	Jogo de teclas - 43 teclas com 08 molas de silicone com 06 pastilhas condutoras para teclado PTL - 05 fab. Digiponto
TF - 1	Trafo TF 2342 fab. Keldian
F - 1	Fusível 0,5 A sem retardo tipo miniatura 20 AWG

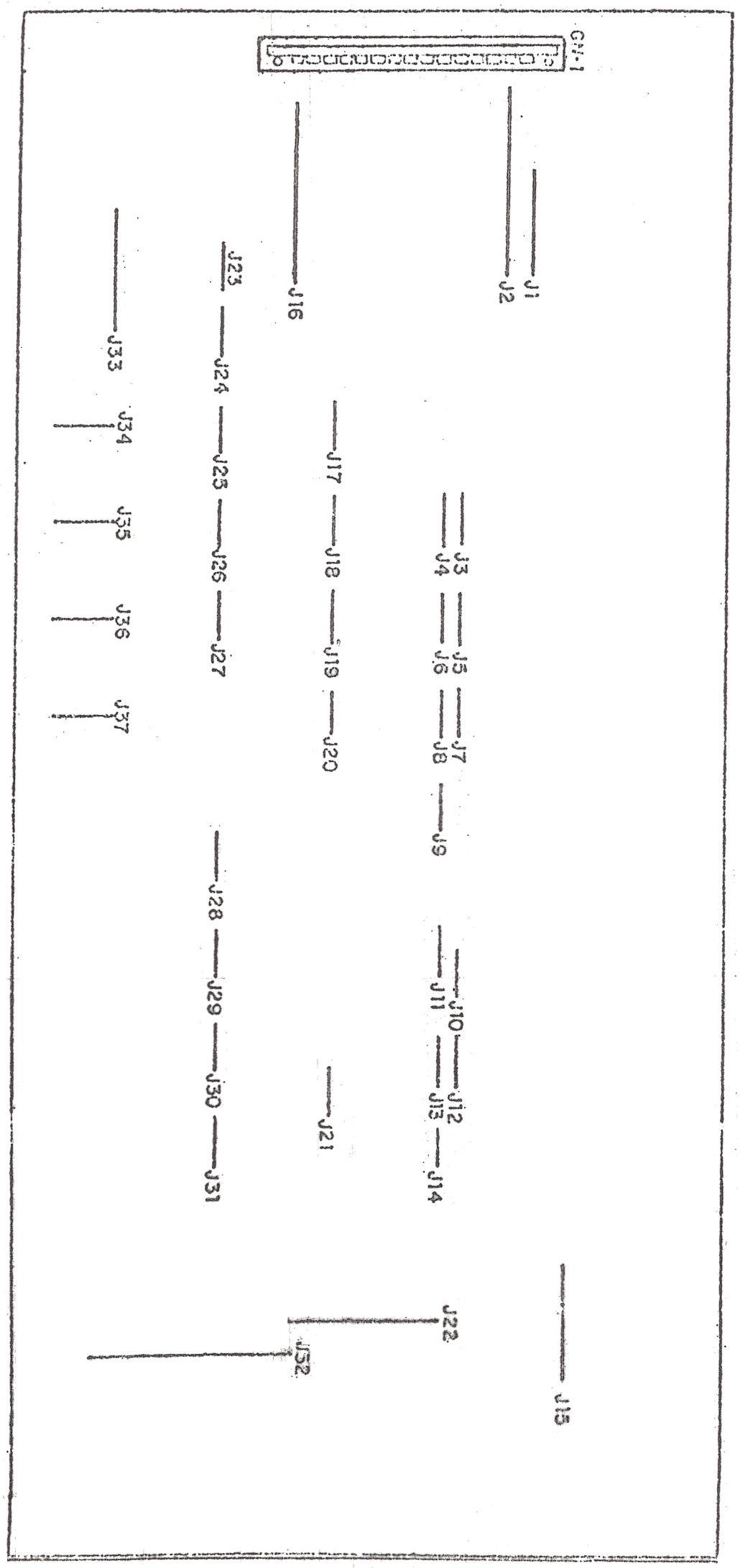
DETALHES DA MONTAGEM

Texto escrito á lápis em folha avulsa

Rotina de testes

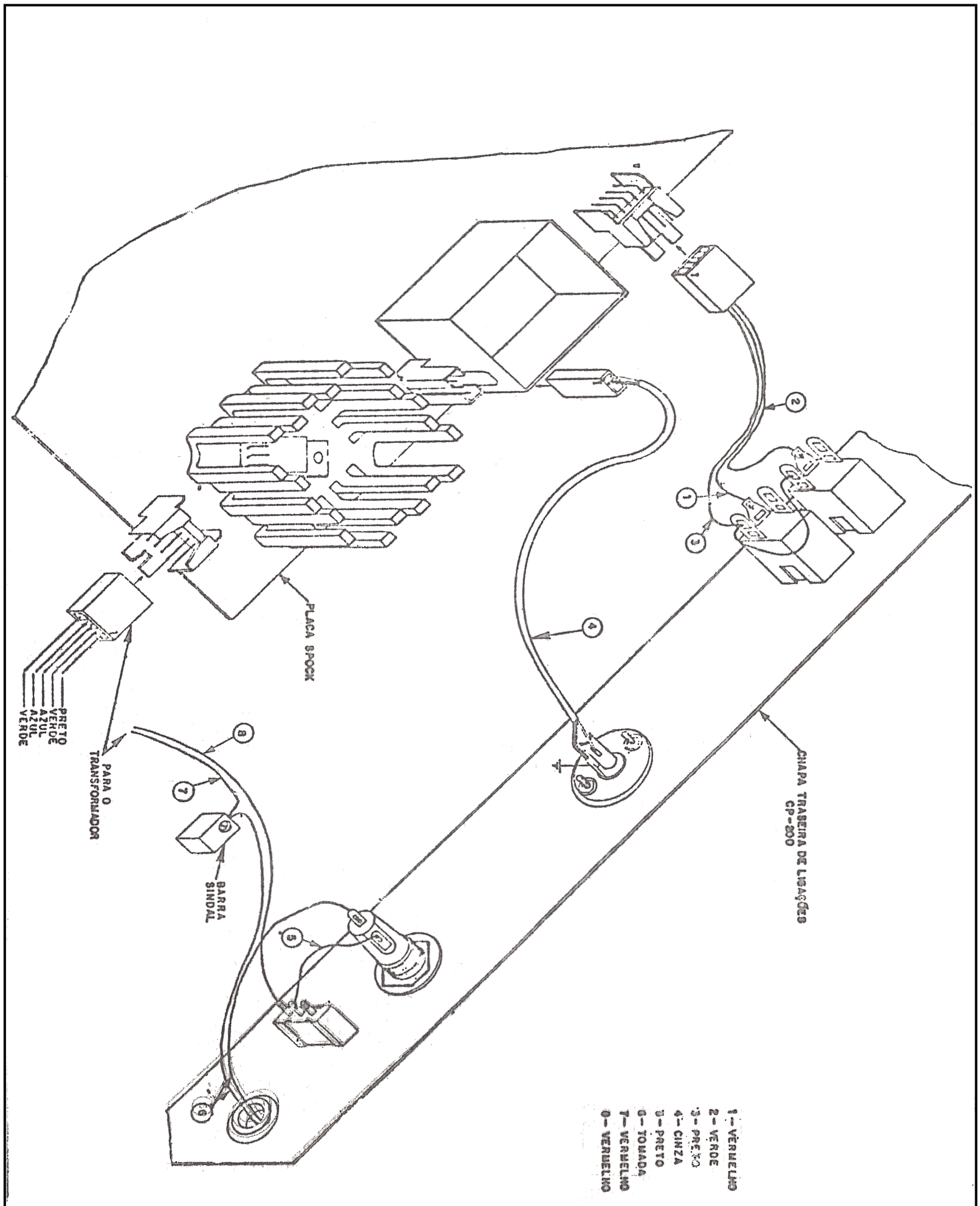
1) Teste de memória RAM
a) poke 16389,70
b) new
c) LOAD "tester"
d) RUN

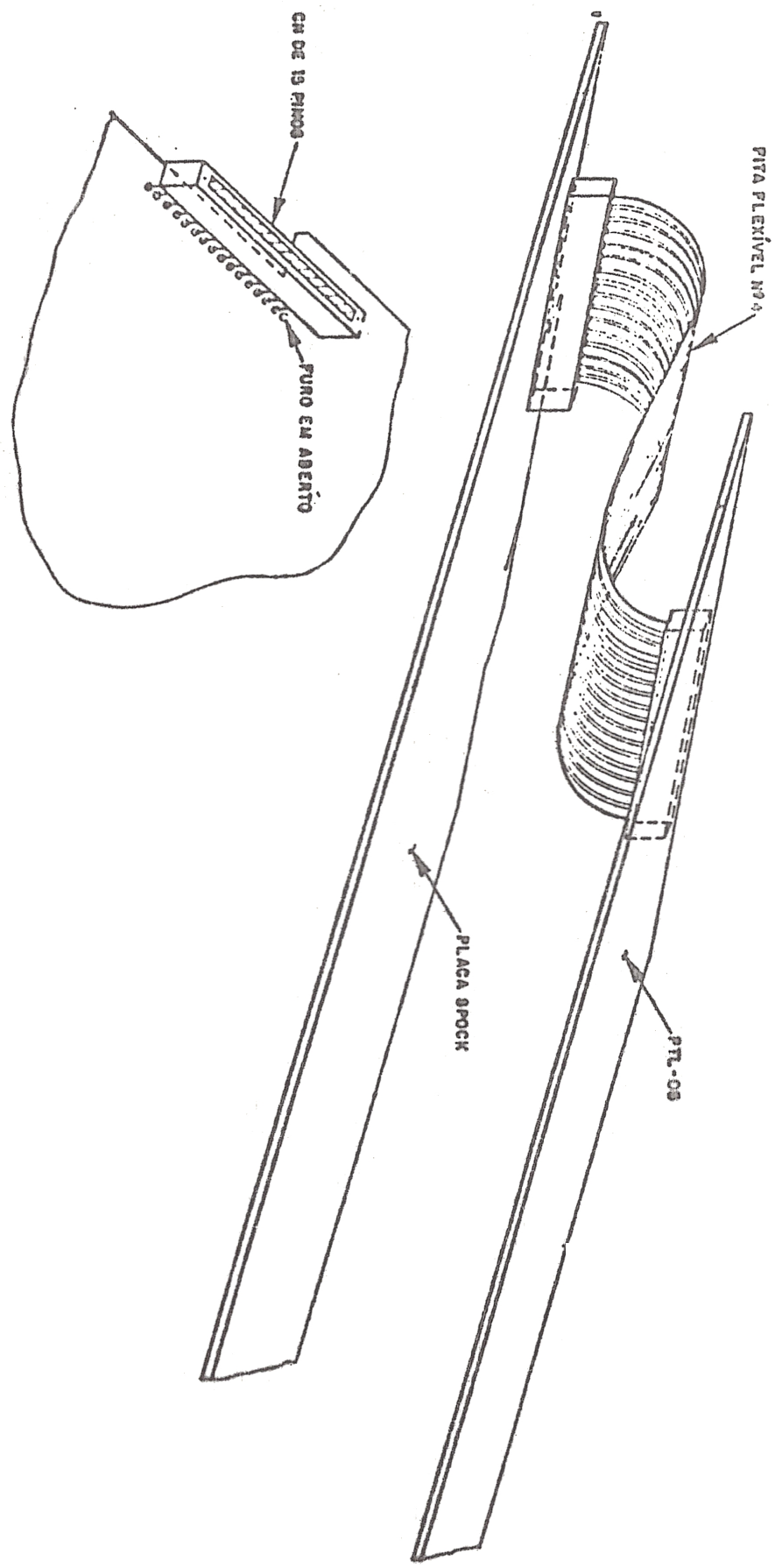
2) Teste de teclado
a) LOAD "teclado"
b) RUN

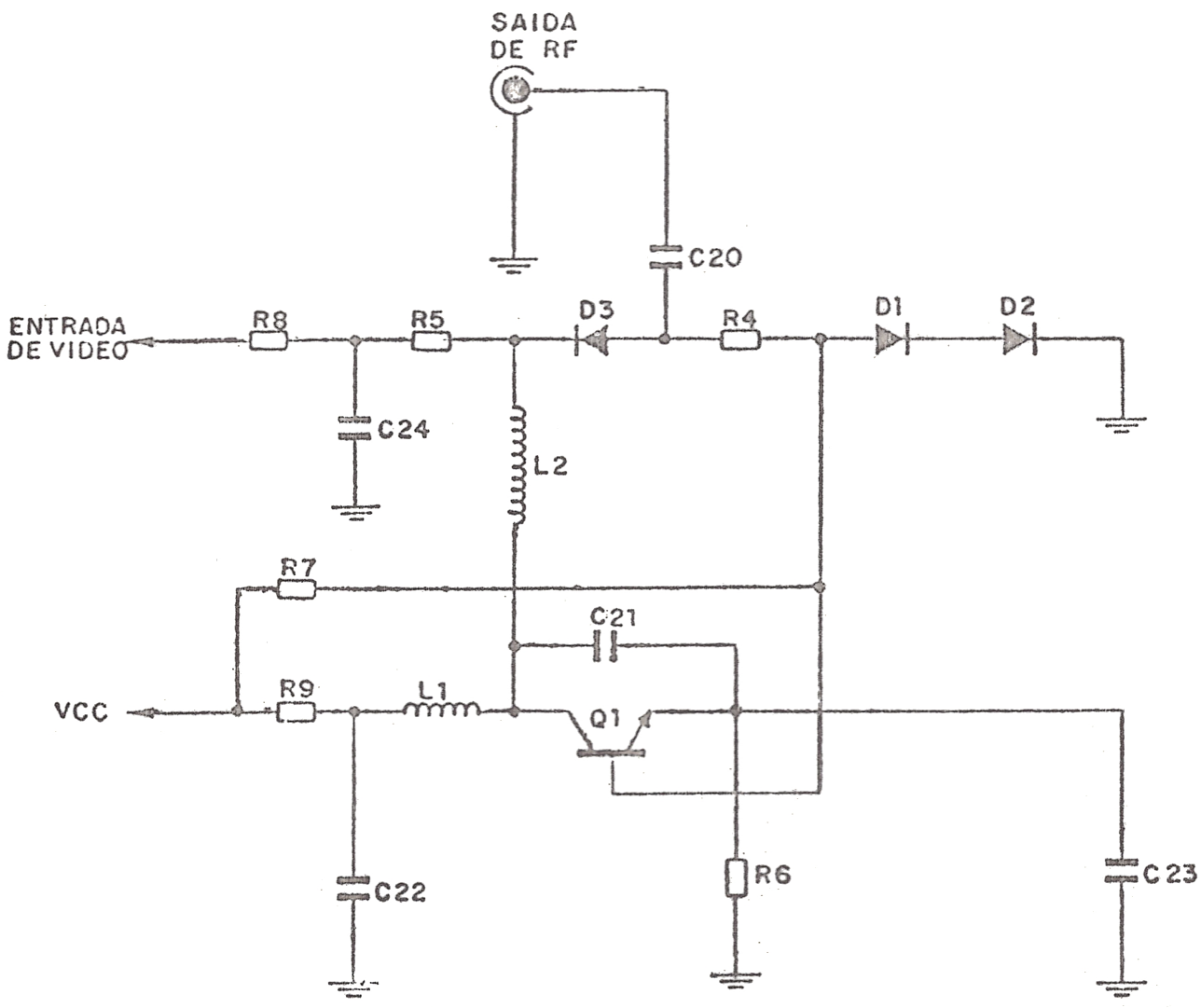

CN-1
J1
J2
J3
J4
J5
J6
J7
J8
J9
J10
J11
J12
J13
J14
J15
J16
J17
J18
J19
J20
J21
J22
J23
J24
J25
J26
J27
J28
J29
J30
J31
J32
J33
J34
J35
J36
J37

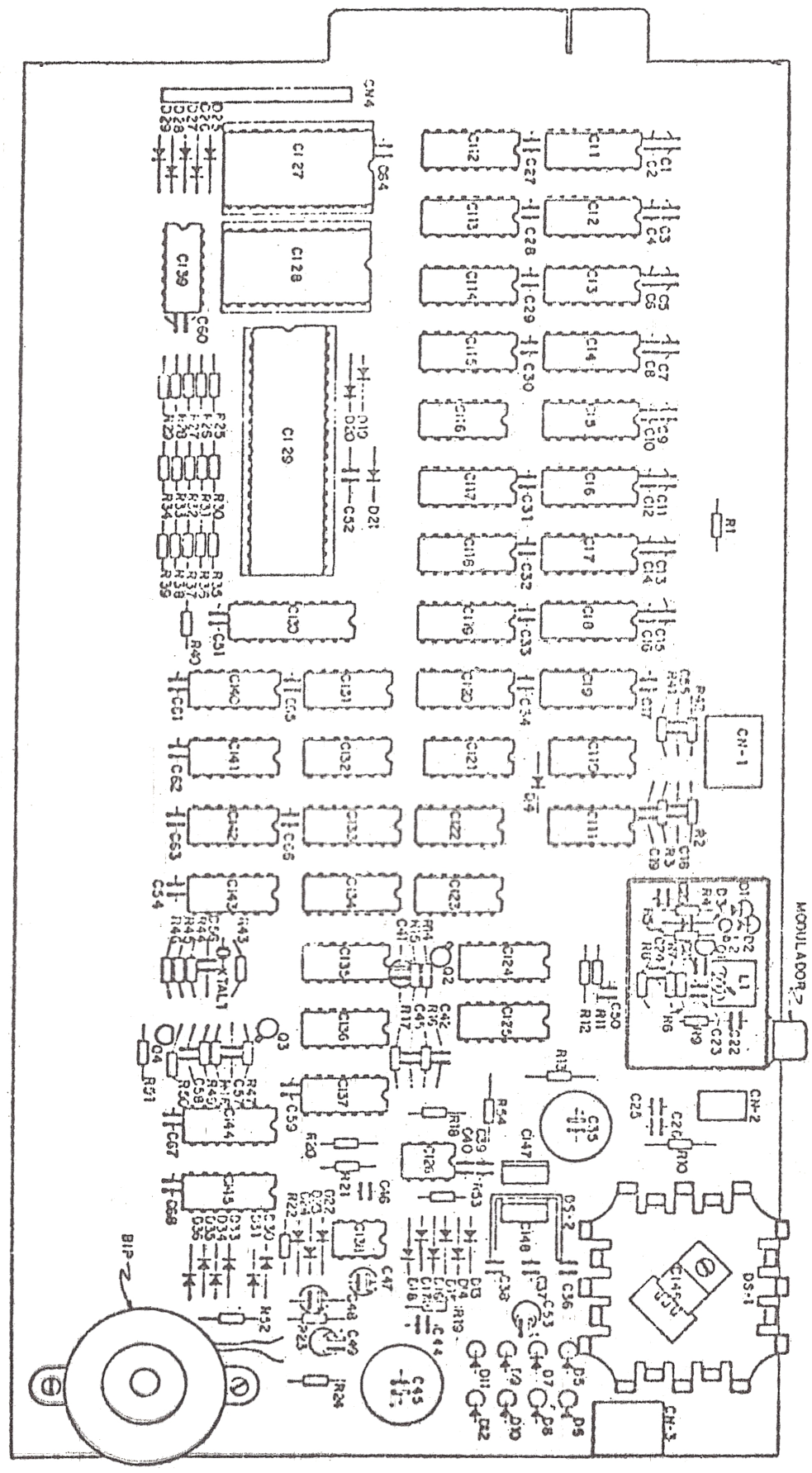
TÍTULO	PÁGINA
Manual Técnico CP 200	86
SUB-TÍTULO: Detalhes da Montagem	DATA

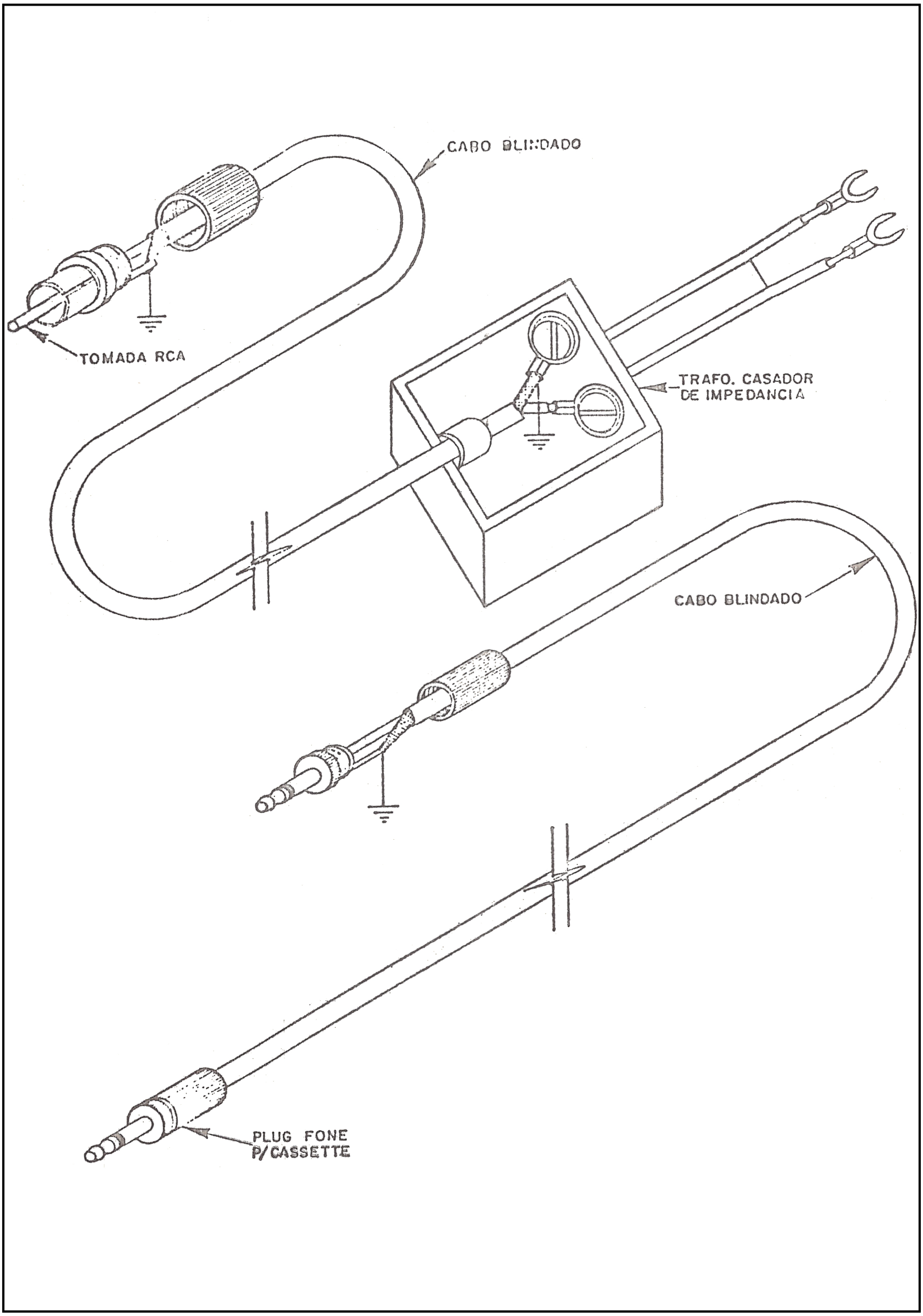
PROLOGICA
microcomputadores




CN DE 15 PINOS
FURO EM ABERTO
FITA FLEXÍVEL Nº 4
PLACA 9POCK
PTL-09


SAIDA
DE RF
C20
ENTRADA
DE VIDEO
R8
R5
D3
R4
D1
D2
C24
L2
R7
C21
VCC
R9
L1
Q1
C22
R6
C23


CN-1
CN-2
CN-3
CN4
MODULADOR-Z
BIP
XTAL1
L1
DS-1
DS-2


CABO BLINDADO
TOMADA RCA
TRAFO. CASADOR DE IMPEDANCIA
CABO BLINDADO
PLUG FONE P/CASSETTE

TÍTULO	PÁGINA
Manual Técnico CP 200	
SUB-TÍTULO	DATA

PROLOGICA
microcomputadores

TÍTULO	PÁGINA
Manual Técnico CP 200	
SUB-TÍTULO	DATA

PROLOGICA
microcomputadores